



# Guia docent

## 230652 - ESDC - Disseny de Sistemes Electrònics per a Comunicacions

Última modificació: 11/04/2025

**Unitat responsable:** Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

**Unitat que imparteix:** 710 - EEL - Departament d'Enginyeria Electrònica.

**Titulació:** MÀSTER UNIVERSITARI EN ENGINYERIA DE TELECOMUNICACIÓ (Pla 2013). (Assignatura obligatòria).  
MÀSTER UNIVERSITARI EN TECNOLOGIES AVANÇADES DE TELECOMUNICACIÓ (Pla 2019). (Assignatura optativa).

**Curs:** 2025

**Crèdits ECTS:** 5.0

**Idiomes:** Anglès

### PROFESSORAT

---

**Professorat responsable:** JOSEP ALTET SANAHUJES

**Altres:** Primer quadrimestre:  
JOSEP ALTET SANAHUJES - 11, 13  
FRANCESC DE BORJA MOLL ECHETO - 11, 13

### CAPACITATS PRÈVIES

---

Previous knowledge needed to follow all the explanations:

BASIC CIRCUIT ANALYSIS:

- RC circuits. Time constant. Energy stored in a capacitor.

MOS TRANSISTOR

- Identification of terminals, currents and voltages in NMOS and PMOS devices.

- Large Signal (DC), long channel equations ( $I_D$  vs  $V_{GS}$ ,  $V_{DS}$ ) curves and regions. Transconductance and gate dimensions. Channel-Length modulation.

Overdrive voltage

- Unified model for PMOS and NMOS.

- Threshold voltage effects: Body Effect. Threshold voltage as a function of bulk-source voltage: linear simplification equation. Drain induced barrier lowering.

- Short channel equations: Mobility degradation and Velocity saturation.

- Parasitic capacitances: Gate capacitance and Diffusion Capacitance

DIGITAL CIRCUITS

- CMOS Logic gates. Extraction of the truth table and logic expression from a gate transistor schematic.

DIGITAL DESIGN

- Digital codes: Signed and unsigned binary codes. Basic binary arithmetic operations: addition and multiplication. Error Detection Codes: parity codes.

- Combinational circuits. Canonical implementation of logic functions. De Morgan's Laws.

- State Machines: state diagram. Canonical structure of sequential systems.

- Basic combinational and sequential blocks. Truth table. Logic level schematic.

Symbol. (basic logic gates, multiplexer, decoder, half adder, full adder, flip-flop, latch, register, counter).

- Digital waveform as a function of time interpretation.

- VHDL Hardware Description Language.

## COMPETÈNCIES DE LA TITULACIÓ A LES QUALS CONTRIBUEIX L'ASSIGNATURA

---

### Específiques:

1. Capacitat per dissenyar i fabricar circuits integrats.
2. Coneixement dels llenguatges de descripció hardware per a circuits d'alta complexitat.
3. Capacitat per utilitzar dispositius lògics programables, així com per dissenyar sistemes electrònics avançats, tant analògics com digitals. Capacitat per dissenyar components de comunicacions com per exemple encaminadors, commutadors, concentradors, emissors i receptors en diferents bandes.

### Transversals:

4. ÚS SOLVENT DELS RECURSOS D'INFORMACIÓ: Gestionar l'adquisició, l'estructuració, l'anàlisi i la visualització de dades i informació de l'àmbit d'especialitat, i valorar de forma crítica els resultats d'aquesta gestió.
5. TERCERA LLENGUA: Conèixer una tercera llengua, preferentment l'anglès, amb un nivell adequat oral i escrit i en consonància amb les necessitats que tindran els titulats i titulades.

## METODOLOGIES DOCENTS

---

- Classes Magistral.
- Learning by doing: desenvolupament d'un disseny.
- Treball individual i en equip.

## OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

---

Conèixer els principis generals i metodologies de disseny de circuits digitals dedicats a comunicació i processat.  
Capacitat de dissenyar els principals blocs d'un sistema electrònic digital amb aplicacions de comunicacions.  
Estimar i calcular figures de mèrit en circuits digitals relacionades amb temporització i consum de potència i test.

## HORES TOTALES DE DEDICACIÓ DE L'ESTUDIANTAT

---

Tipus	Hores	Percentatge
Hores grup gran	26,0	20.80
Hores grup petit	13,0	10.40
Hores aprenentatge autònom	86,0	68.80

**Dedicació total:** 125 h

## CONTINGUTS

---

### T1. Introduction

#### Descripció:

Objectives for the course. General view of a communication system design. Implementation options. Design example overview.

#### Dedicació: 2h

Grup gran/Teoria: 1h

Aprenentatge autònom: 1h



## T2. Auxiliary blocks

**Descripció:**

Timer. Queue. simple UART.

**Dedicació:** 17h

Grup gran/Teoria: 5h

Aprenentatge autònom: 12h

## T3. Communication flow control

**Descripció:**

UART with Timeout.

**Dedicació:** 18h

Grup gran/Teoria: 6h

Aprenentatge autònom: 12h

## T4. Error checking and protocol implementation

**Descripció:**

CRC generator and checker. Integration with UART with Timeout.

**Dedicació:** 18h

Grup gran/Teoria: 6h

Aprenentatge autònom: 12h

## T5. Timing aspects in digital design

**Descripció:**

Delay modeling. Timing analysis.

**Dedicació:** 14h

Grup gran/Teoria: 4h

Aprenentatge autònom: 10h

## T6. Power consumption in digital design

**Descripció:**

Power consumption modeling. Low power techniques.

**Dedicació:** 14h

Grup gran/Teoria: 4h

Aprenentatge autònom: 10h



### L1: Timer

**Descripció:**

Timer design with Quartus software

**Dedicació:** 9h

Grup petit/Laboratori: 3h

Aprenentatge autònom: 6h

### L2: Queues and CRC

**Descripció:**

Design of a queue and a CRC system.

**Dedicació:** 7h

Grup petit/Laboratori: 2h

Aprenentatge autònom: 5h

### L3: TX-RX Timer

**Descripció:**

Design of an UART with Timeout.

**Dedicació:** 7h

Grup petit/Laboratori: 2h

Aprenentatge autònom: 5h

### L4: TX-RX Timer CRC

**Descripció:**

Integration of CRC with UART and timeout.

**Dedicació:** 7h

Grup petit/Laboratori: 2h

Aprenentatge autònom: 5h

### L5: TX-RX Timer CRC ACK

**Descripció:**

Protocol implementation for flow control.

**Dedicació:** 6h

Grup petit/Laboratori: 2h

Aprenentatge autònom: 4h



## L6: Power analysis

### Descripció:

Power analysis of the final implementation.

### Dedicació: 6h

Grup petit/Laboratori: 2h

Aprenentatge autònom: 4h

## SISTEMA DE QUALIFICACIÓ

---

Avaluació continuada i laboratori: 50%

Examen final: 50%

## BIBLIOGRAFIA

---

### Bàsica:

- Franklin, M.A. [et al.]. Network Processor Design, vol. 3, Issues and practices [en línia] [en línia]. Morgan Kaufmann, 2005 [Consulta: 21/04/2020]. Disponible a: <https://ebookcentral.proquest.com/lib/upcatalunya-ebooks/detail.action?docID=232128>. ISBN 9780120884766.
- Weste, N.H.E.; Harris, D.M. CMOS VLSI design: a circuits and systems perspective. 4th ed. Boston: Addison Wesley, 2011. ISBN 9780321547743.
- Forouzan, B. A. Data communications and networking with TCP/IP protocol suite. 6th ed. New York: McGraw-Hill, 2022. ISBN 9781260597820.
- Escudero i Costa, F; Altet, J. Design methodology for programming multi task applications on low cost microprocessors. First edition: English version. [Great Britain]: Francesc Escudero, Josep Altet, [2020]. ISBN 9798667923503.

### Complementària:

- Giladi, R. Network Processors : architecture, programming, and implementation [en línia]. Amsterdam: Morgan Kaufmann, 2008 [Consulta: 21/04/2020]. Disponible a: <https://ebookcentral.proquest.com/lib/upcatalunya-ebooks/detail.action?docID=404833>. ISBN 9780080919591.