

Guia docent

230731 - DND - Disseny Nanoelectrònic Digital

Última modificació: 11/04/2025

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE TELECOMUNICACIÓ (Pla 2013). (Assignatura optativa).
MÀSTER UNIVERSITARI EN TECNOLOGIES AVANÇADES DE TELECOMUNICACIÓ (Pla 2019). (Assignatura optativa).
MÀSTER UNIVERSITARI EN ENGINYERIA ELECTRÒNICA (Pla 2022). (Assignatura obligatòria).

Curs: 2025

Crèdits ECTS: 5.0

Idiomes: Anglès

PROFESSORAT

Professorat responsable: JORDI MADRENAS BOADAS - JORDI COSP VILELLA

Altres: Primer quadrimestre:
JORDI MADRENAS BOADAS - 21, 23
FRANCESC DE BORJA MOLL ECHETO - 21, 23

CAPACITATS PRÈVIES

- Conceptes generals sobre disseny microelectrònic.
- Característiques de les tecnologies actuals.
 - Tecnologia microelectrònica, fabricació de circuits integrats.
 - Procés de disseny (esquema) i descripció física (layout) i verificació.
 - Comportament i equacions bàsiques del transistor MOS.
 - Anàlisi DC de circuits bàsics.
 - Capacitats del transistor MOS.
 - Velocitat i consum de potència de portes digitals CMOS.

COMPETÈNCIES DE LA TITULACIÓ A LES QUALS CONTRIBUEIX L'ASSIGNATURA

Específiques:

CMEE18. Dissenyar circuits integrats digitals i analògics CMOS de complexitat mitjana.

CMEE19. Aplicar tècniques de baix consum per a circuits integrats (CIs).

CMEE20. Dissenyar per a testabilitat i desenvolupar esquemes de test per a CIs.

Transversals:

CTMEE5. Tercera llengua. Conèixer una tercera llengua, preferentment l'anglès, amb un nivell adequat oral i escrit i d'acord amb les necessitats que tindran els titulats i les titulades.

METODOLOGIES DOCENTS

- Classes de teoria.
- Sessions de laboratori.
- Treballs pràctics de laboratori.
- Test de resposta curta (Control).
- Prova de resposta ampliada (examen final).

OBJECTIUS D'APRENENTATGE DE L'ASSIGNATURA

El principal resultat d'aprenentatge de l'assignatura és:

- Capacitat per dissenyar circuits integrats CMOS digitals de complexitat mitjana, des de la concepció fins al tapeout.

Aquest objectiu es divideix en els següents objectius específics:

- Capacitat per comprendre l'evolució de les tecnologies integrades.
- Capacitat per identificar casos i aplicacions adequades per a una solució integrada.
- Capacitat per analitzar les característiques d'un circuit integrat digital.
- Capacitat per introduir tècniques de disseny de baix consum.
- Capacitat per avaluar l'efecte de les interconnexions i considerar-les en el disseny.
- Capacitat per utilitzar elements auxiliars, com ara distribució d'alimentació i rellotge, buffers, PLL/DLL, pads d'E/S i drivers.
- Capacitat d'utilitzar eines CAD/CAE industrials per al disseny digital integrat.

HORES TOTALS DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup gran	26,0	20.80
Hores aprenentatge autònom	86,0	68.80
Hores grup petit	13,0	10.40

Dedicació total: 125 h

CONTINGUTS

1. Introducció

Descripció:

- 1.1 Llei de Moore. Límits CMOS i tendències tecnològiques.
- 1.2 Compromís entre rendiment i cost. Espai de disseny.
- 1.3 Models de MOSFET Planar i FinFET per al disseny digital.
- 1.4 Estat de l'art en VLSI.
- 1.5 SoC. Exemples de xips.

Dedicació: 6h

Grup gran/Teoria: 2h

Aprenentatge autònom: 4h

2 Disseny de circuits CMOS combinacionals

Descripció:

- 2.1 Estructura de les portes estàtiques CMOS.
- 2.2 Disseny de portes estàtiques CMOS. Mètode del camí d'Euler.
- 2.3 Model de retard RC. Retard d'Elmore.
- 2.4 Esforç lògic. Estimació dels retards de propagació i contaminació.
- 2.5 Altres famílies de circuits: Ratioed, Dinàmic, Transistors de pas, CVSL.

Dedicació: 20h

Grup gran/Teoria: 6h

Aprenentatge autònom: 14h

3 Disseny de circuits CMOS seqüencials

Descripció:

- 3.1 Latches i flip-flops. Temps d'establiment i de manteniment.
- 3.2 Restriccions de retard. Biaix del rellotge.
- 3.3 Reset. Flip-flops D, E i T.
- 3.4 Sincronitzadors. Anàlisi temporal. Slack. Adaptació entre dominis de rellotge.
- 3.5 Memòries integrades: SRAM, DRAM, ROM i Flash.

Dedicació: 14h

Grup gran/Teoria: 4h

Aprenentatge autònom: 10h

4 Subsistemes digitals

Descripció:

- 4.1 Estratègies de disseny estructurat. Jerarquia, Regularitat, Modularitat, Localitat.
- 4.2 Unitat de control i camí de dades.
- 4.3 Comptadors, LFSR i desplaçadors. FIFO.
- 4.4 Sumadors binaris.
- 4.5 Multiplicadors binaris.

Dedicació: 13h

Grup gran/Teoria: 4h

Aprenentatge autònom: 9h

5 Disseny de baix consum

Descripció:

- 5.1 Fonts de dissipació de potència. La importància de la reducció del consum d'energia.
- 5.2 Disseny de baix consum.
- 5.3 Reducció dinàmica de potència. Control de rellotge. DVFS.
- 5.4 Reducció estàtica de potència. Control de potència. Llindar múltiple.
- 5.5 DVS.

Dedicació: 7h

Grup gran/Teoria: 2h

Aprenentatge autònom: 5h

6 Aspectes pràctics del disseny VLSI

Descripció:

- 6.1 Modelització d'interconnexions. R, C, L. Efecte superficial.
- 6.2 Retard i consum de les interconnexions.
- 6.3 Diafonia.
- 6.4 Robustesa i variabilitat. Estratègies de variabilitat. Cantonades del disseny.
- 6.6 Distribució d'alimentació.
- 6.7 Distribució del rellotge. Buffering.
- 6.8 PLL i DLL.
- 6.9 Pads d'entrada/sortida.
- 6.10 Layout i tapeout: Floorplan, DRC, latchup, electromigració, paràsits, efecte antena.
- 6.11 Encapsulat.

Dedicació: 13h

Grup gran/Teoria: 4h

Aprenentatge autònom: 9h

7 Test i verificació

Descripció:

- 7.1 Necessitat del test de fabricació. Defectes i fallades.
- 7.2 Models de fallada. Rendiment del procés. Redundància. Vectors de test.
- 7.3 Cobertura de test. Controlabilitat i observabilitat.
- 7.4 Generació automàtica de patrons de test (ATPG). Test de fallades de retard.
- 7.5 Disseny per a test (DFT).
- 7.6 Test basat en escaneig.
- 7.7 Tolerància a fallades i autotest (BIST).
- 7.8 Test a nivell de sistema.

Dedicació: 13h

Grup gran/Teoria: 4h

Aprenentatge autònom: 9h

Laboratori de disseny digital VLSI

Descripció:

Projecte de disseny d'un circuit integrat de complexitat mitjana. Eines CAE: síntesi i back-end. Disseny de layout. Biblioteca de cel·les estàndard. Simulació funcional i amb back-annotation.

Dedicació: 39h

Grup petit/Laboratori: 13h

Aprenentatge autònom: 26h

SISTEMA DE QUALIFICACIÓ

Examen final: 50%

Examen parcial: 20%

Treball de laboratori: 30%



BIBLIOGRAFIA

Bàsica:

- Weste, N.H.E.; Harris, D.M. CMOS VLSI design: a circuits and systems perspective. 4th ed. Boston: Addison Wesley, 2011. ISBN 9780321547743.

Complementària:

- Lin, Ming-Bo. Introduction to VLSI systems: a logic, circuit, and system perspective. Boca Ratón: CRC Press, 2012. ISBN 9781439868591.

- Rabaey, Jan. Low Power Design Essentials [en línia]. New York, NY: Springer, 2009 [Consulta: 30/06/2022]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-0-387-71713-5>. ISBN 9781282126534.

- Saha, Samar K. FinFET Devices for VLSI Circuits and Systems [en línia]. Boca Raton, FL: CRC Press, 2021 [Consulta: 07/07/2022]. Disponible a: <https://www.taylorfrancis.com/books/9780429504839>. ISBN 9780429504839.