

Guia docent

230735 - HDD - Disseny Digital d'Alt Nivell

Última modificació: 07/05/2025

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE TELECOMUNICACIÓ (Pla 2013). (Assignatura optativa).
MÀSTER UNIVERSITARI EN TECNOLOGIES AVANÇADES DE TELECOMUNICACIÓ (Pla 2019). (Assignatura optativa).
MÀSTER UNIVERSITARI EN ENGINYERIA ELECTRÒNICA (Pla 2022). (Assignatura obligatòria).

Curs: 2025 **Crèdits ECTS:** 5.0 **Idiomes:** Anglès

PROFESSORAT

Professorat responsable: JUAN MANUEL MORENO AROSTEGUI

Altres: Primer quadrimestre:
JORDI MADRENAS BOADAS - 21, 23
JUAN MANUEL MORENO AROSTEGUI - 21, 23

CAPACITATS PRÈVIES

- Disseny digital basat en un llenguatge de descripció hardware de nivell RTL (VHDL, Verilog, ...).
- Disseny i simulació de sistemes digitals bàsics: funcions lògiques combinacionals i seqüencials, funcions aritmètiques i màquines d'estats finits.
- Implementació i depureció de sistemes digitals bàsics en dispositiu configurables (FPGAs).
- Desenvolupament d'aplicacions software basades en un microprocessador/microcontrolador.
- Llenguatge de programació C.

COMPETÈNCIES DE LA TITULACIÓ A LES QUALS CONTRIBUEIX L'ASSIGNATURA

Específiques:

CMEE15. Analitzar, dissenyar i implementar interfícies de comunicació hardware/software.
CMEE16. Especificar i desenvolupar sistemes de tractament d'informació utilitzant tècniques de codiseny hardware/software.
CMEE17. Dissenyar i implementar sistemes digitals basats en sistemes integrats (SOC) configurables amb llenguatges de descripció d'alt nivell i eines CAE.

Transversals:

CTMEE3. Treball en equip. Ser capaç de treballar com a membre d'un equip interdisciplinar, ja sigui com un membre més o fent tasques de direcció, amb la finalitat de contribuir a desenvolupar projectes amb pragmatisme i sentit de la responsabilitat, assumint compromisos tenint en compte els recursos disponibles.

METODOLOGIES DOCENTS

- Classes magistrals
- Classes de laboratori
- Treball pràctic de laboratori
- Control i examen final

OBJECTIUS D'APRENENTATGE DE L'ASSIGNATURA

Resultats d'aprenentatge de l'assignatura:

- Entendre les implicacions del co-disseny hardware/software i de l'ús de sistemes integrats configurables.
- Disseny i implementació d'interfícies de comunicació entre subsistemes programables (microprocessador/microcontrolador) i subsistemes configurables (FPGA).
- Entendre els principis de disseny de sistemes digitals a alt nivell basats en components programable i configurables.
- Disseny i implementació, utilitzant llenguatges i tècniques de disseny d'alt nivell, de sistemes digitals de comunicació i de processat d'informació.

HORES TOTALES DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup gran	26,0	20.80
Hores grup petit	13,0	10.40
Hores aprenentatge autònom	86,0	68.80

Dedicació total: 125 h

CONTINGUTS

1. Introducció

Descripció:

- Motivació pel disseny d'alt nivell
- Principis de co-disseny hardware/software
- Metodologia de síntesi a alt nivell
- Llenguatges de descripció hardware d'alt nivell
- Implicacions per a la sostenibilitat del disseny
- Exemples industrials

Dedicació: 4h

Grup gran/Teoria: 2h

Aprenentatge autònom: 2h

2. Llenguatges de descripció hardware d'alt nivell

Descripció:

- El llenguatge de descripció hardware Verilog
- El llenguatge de descripció hardware SystemVerilog
- El llenguatge de descripció hardware SystemC
- Verificació del disseny basada en SystemVerilog

Dedicació: 18h

Grup gran/Teoria: 8h

Aprenentatge autònom: 10h

3. Síntesi digital d'alt nivell

Descripció:

- Tipus de dades amb precisió de bit
- Principis de la síntesi d'alt nivell
- Planificació
- Assignació de recursos
- Desenvolupament de bucles
- E/S i memòries

Dedicació: 12h

Grup gran/Teoria: 6h

Aprenentatge autònom: 6h

4. Interfícies hardware/software

Descripció:

- Principis de comunicació hardware/software
- Busos on-chip
- Interfícies de microprocessador
- interfícies de hardware

Dedicació: 8h

Grup gran/Teoria: 2h

Aprenentatge autònom: 6h

5. Disseny de sistemes de processat específics

Descripció:

- Subsistemes de vídeo
- Multiplicació de vectors i matrius
- Algoritmes d'ordenació

Dedicació: 24h

Grup gran/Teoria: 4h

Aprenentatge autònom: 20h

LABORATORI

Descripció:

- Disseny d'una aplicació software per a la part programable d'un SOC
- Disseny de perifèrics a mida i gestió d'interrupcions
- Introducció al llenguatge SystemVerilog i al simulador QuestaSim
- Disseny d'un co-processador aritmètic
- Disseny i implementació d'una interfície AXI4 pel co-processador aritmètic
- Introducció a l'eina de síntesi d'alt nivell
- Disseny d'alt nivell d'un sistema de processat de senyal
- Projecte específic

Dedicació: 26h

Grup petit/Laboratori: 13h

Aprenentatge autònom: 13h

ACTIVITATS

LABORATORI

Dedicació: 26h
Aprenentatge autònom: 13h
Grup gran/Teoria: 13h

EXAMEN FINAL

Descripció:
Examen final

Dedicació: 2h 30m
Grup gran/Teoria: 2h 30m

Control de teoria

Descripció:
Control de teoria que es durà a terme cap a la meitat del quadrimestre lectiu.

Dedicació: 24h
Aprenentatge autònom: 20h
Grup gran/Teoria: 4h

SISTEMA DE QUALIFICACIÓ

Control: 20%
Examen final: 40%
Pràctiques de laboratori: 40%

BIBLIOGRAFIA

Bàsica:

- Scaumont, Patrick R. A Practical introduction to Hardware/software Codesign [en línia]. 2nd ed. New York, NY: Springer, 2014 [Consulta: 21/07/2022]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-1-4614-3737-6>. ISBN 9781461437376.
- Fingeroff, M. High-level synthesis: blue book. [United States]: Xlibris Corporation, 2010. ISBN 9781450097246.
- Kastner, Ryan ; Matai, Janarbek; Neuendorfer, Stephen. Parallel Programming for FPGAs [en línia]. Kastner Research Group, 2018 [Consulta: 06/09/2022]. Disponible a: <https://kastner.ucsd.edu/hlsbook/>.

Complementària:

- Grötter, Thorsten; Liao, Stan; Martin, Grant; Swan, Stuart. System Design with SystemC [en línia]. Boston: Kluwer Academic Publishers, 2002 [Consulta: 06/09/2022]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/b116588>. ISBN 9781402070723.
- Sutherland, Stuart; Davidmann, Simon; Flake, Peter. SystemVerilog for Design: a guide to using SystemVerilog for hardware design and modeling [en línia]. 2nd ed. New York, NY: Springer, 2006 [Consulta: 06/09/2022]. Disponible a: <https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/0-387-36495-1>. ISBN 0387333991.
- De Micheli, Giovanni. Synthesis and Optimization of Digital Circuits. New York: McGrawHill, 1994. ISBN 0070163332.