



Guia docent

230667 - SCPD - Disseny Físic de Sistemes Integrats

Última modificació: 25/05/2023

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA ELECTRÒNICA (Pla 2013). (Assignatura optativa).

MÀSTER UNIVERSITARI EN TECNOLOGIES AVANÇADES DE TELECOMUNICACIÓ (Pla 2019). (Assignatura optativa).

MÀSTER UNIVERSITARI EN ENGINYERIA ELECTRÒNICA (Pla 2022). (Assignatura optativa).

Curs: 2023

Crèdits ECTS: 5.0

Idiomes: Anglès

PROFESSORAT

Professorat responsable: Consultar aquí / See here:
<https://telecos.upc.edu/ca/estudis/curs-actual/professorat-responsables-coordinadors/responsables-assignatura>

Altres: Consultar aquí / See here:
<https://telecos.upc.edu/ca/estudis/curs-actual/professorat-responsables-coordinadors/professorat-assignat-idioma>

CAPACITATS PRÈVIES

Haver cursat i aprovat el curs Digital Nanoelectronic Design.

Coneixements sobre tecnologia i disseny CMOS.

Coneixements de disseny digital, combinacional i seqüencial.

Coneixements de disseny basat en "standard cells": síntesi i "place and route".

Coneixements de "Static Timing Analysis",

Experiència prèvia amb eines de disseny per síntesi (Genus o DC) i "place and route" (Innovus o ICC2).

COMPETÈNCIES DE LA TITULACIÓ A LES QUALS CONTRIBUEIX L'ASSIGNATURA

Específiques:

CEE18. Capacitat de dissenyar circuits integrats digitals i analògics CMOS de complexitat mitja.

CEE19. Capacitat d'aplicar tècniques de baix consum per a circuits integrats.

Transversals:

1. TREBALL EN EQUIP: Ser capaç de treballar com a membre d'un equip interdisciplinari, ja sigui com un membre més o duent a terme tasques de direcció, amb la finalitat de contribuir a desenvolupar projectes amb pragmatisme i sentit de la responsabilitat, tot assumint compromisos considerant els recursos disponibles.

2. ÚS SOLVENT DELS RECURSOS D'INFORMACIÓ: Gestionar l'adquisició, l'estructuració, l'anàlisi i la visualització de dades i informació de l'àmbit d'especialitat, i valorar de forma crítica els resultats d'aquesta gestió.

3. TERCERA LLENGUA: Conèixer una tercera llengua, preferentment l'anglès, amb un nivell adequat oral i escrit i en consonància amb les necessitats que tindran els titulats i titulades.



METODOLOGIES DOCENTS

- Lliçó magistral
- Laboratori
- Treball individual
- Presentació de tema de recerca, individual o grups de dues persones.

OBJECTIUS D'APRENENTATGE DE L'ASSIGNATURA

L'objectiu del curs és aprendre mètodes de disseny de circuits integrats digitals CMOS des d'una descripció RTL a una descripció de layout usant eines de disseny actuals. El layout resultant ha de satisfer les restriccions topològiques, geomètriques i de prestacions temporals i potència corresponents a les especificacions del disseny.

Resultats d'aprenentatge:

- Capacitat d'entendre i aplicar restriccions temporals i de potència a un circuit integrat complexe.
- Capacitat de realitzar la implementació física d'un circuit integrat complexe.
- Capacitat d'aplicar tècniques de disseny per baix consum en el disseny d'un circuit integrat.
- Capacitat d'usar eines de disseny (CAD) actuals per al disseny de circuits integrats.

HORES TOTALS DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup gran	13,0	10.40
Hores grup petit	26,0	20.80
Hores aprenentatge autònom	86,0	68.80

Dedicació total: 125 h

CONTINGUTS

Introduction to VLSI design, Technology evolution and state of the art.

Descripció:

Basis of modern integrated circuits (IC) design and technology. Moore's Law. Evolution of microprocessors and memories during the last decades. Key technology changes in the IC progress. Bulk and 3D technologies, other alternatives. State of the art and foreseen evolution.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprendentatge autònom: 2h

Design challenges. Computer Aided Design Tools. Design flow.

Descripció:

Evolution of design complexity in comparison with technology evolution. Design steps, design flow. High level description and synthesis. Hardware description languages, RTL level, architecture level, gate level. Verilog and VHDL languages. Placement and routing. Physical level requirements. Tools for verification and test.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprendentatge autònom: 2h



Digital CMOS circuits delay models. Voltage scaling impact. Pipeline. Timing violations.

Descripció:

Basic RC delay model for CMOS digital circuits. Advanced delay models in Spice simulator. Parasitic capacitances in layout, interconnection modeling. Analytical delay model, impact of voltage scaling in logic circuits. Timing requirements in sequential circuits, performances. Timing violation concept. Pipeline architectures.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h

Digital CMOS circuits power components and models. Dynamic and Static power components models. Voltage and frequency scaling.

Descripció:

Power consumption evolution of modern integrated circuits. Power dissipation limits. Packaging, limit temperatures. Mechanisms of power dissipation in CMOS digital circuits. Static components, power dissipation due to subthreshold currents, models. Dynamic components, switching capacitance dissipation, model. Effect of voltage and frequency scaling.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h

Low Power Design techniques.

Descripció:

Gate, Data and Power scaling. Impact of modern design strategies for low power design, examples of modern integrated circuits. Principles of clock gating, data gating and voltage and frequency scaling.

Multiple threshold voltage, multiple voltage islands, body bias modulation in FDSOI technology. Optimization of integrated circuit design using multiple threshold voltages strategy. Impact on power and performances. Multiple islands techniques, concept of level shifter cells. Substrate biasing concept, application in FDSOI technology.

Dedicació: 6h

Grup gran/Teoria: 2h

Aprenentatge autònom: 4h

Thermal power models. Impact on delay and power. Self-heating.

Descripció:

Concept of power dissipation chain, models, parameter calculation, state of the art. Impact of power dissipation in the integrated circuit temperature. Static and dynamic evolution. Self-heating concept.

Dedicació: 3h

Grup petit/Laboratori: 1h

Aprenentatge autònom: 2h



Technology Scaling impact. Logic circuitry and interconnection models.

Descripció:

Scaling, the key factor of the integrated circuits progress. Moore's law and scaling. Limits in the photolithographic processes, evolution, state of the art and future prediction. Scaling models for circuitry and interconnections.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h

IR and LdI/dt Vdd drops. Switching noise. Compensation techniques.

Descripció:

Dynamic current signals in digital switching circuits. Distribution of power supply wires, rings. Electrical models and voltage fluctuations due to dynamic and static voltage drops caused by parasitic capacitances. Decoupling capacitance techniques.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h

Crosstalk between interconnections. Reliability issues.

Descripció:

Crosstalk coupling between parallel interconnection buses. Impact on delay and power. Models, evolution. Noise coupling through substrate and electromagnetic interferences. Concept of aging in MOS devices, hot carrier injection (HCI) and bias temperature instability (BTI) mechanism, impact, recovering mechanisms. Impact on reliability.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h

Test of digital integrated circuits

Descripció:

Defects in manufacturing process. Test principles and objectives in the design integrated design and manufacturing. Fault models. Test techniques. Standards related with test, Scan Path and Boundary Scan path techniques.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h

Alternative design techniques and technologies (emerging devices, neural networks)

Descripció:

Concept of memristor, characteristics. State of the art of memristive memories and processors. Concept of Computing In Memory. Memristive devices, ReRAM and STT-devices.

Concept of Neural Networks, memristors as synaptic units. Examples of neural network implementations.

Dedicació: 3h

Grup gran/Teoria: 1h

Aprenentatge autònom: 2h



Laboratory: physical implementation of digital IC

Descripció:

Lab 1 Synthesis with physical information
Lab 2 Floorplanning a complete chip
Lab 3 Place and route
Lab 4 Full Flow: RTL to Place and Route with low power techniques

Dedicació: 83h

Grup petit/Laboratori: 57h
Aprenentatge autònom: 26h

Research topic presentation

Descripció:

The professors will propose a current topic related to digital design and technology. Each student or groups of two will do some research with current bibliography and present the state of the art on that topic to the rest of the class.

Dedicació: 6h

Grup gran/Teoria: 1h
Aprenentatge autònom: 5h

SISTEMA DE QUALIFICACIÓ

Avaluació continuada (CE):

- Dos exàmens parciais: 16.6% each
- Presentació tema de recerca: 16.6%
- Activitat de laboratori: 50%

Examen Final (FE)

Nota final: maxim (CE, FE)

NORMES PER A LA REALITZACIÓ DE LES PROVES.

Examen Final: individual

Exàmens parciais: individual

Presentació de tema de recerca: grups fins a dues persones.

Laboratori: grups fins a dues persones.

BIBLIOGRAFIA

Bàsica:

- Bhasker, J; Chadha, R.. Static timing analysis for nanometer designs, a practical approach [en línia]. Boston, MA: Springer, 2009 [Consulta: 09/06/2021]. Disponible a: <http://dx.doi.org/10.1007/978-0-387-93820-2>. ISBN 9780387938202.
- Wang, L.T.; Chang, Y.W.; Ting, K. (eds.). Electronic design automation: synthesis, verification, and test. Burlington, MA: Morgan Kaufmann Publishers/Elsevier, 2009. ISBN 9780123743640.