

Guia docent

230729 - CDEL - Electrònica Digital Configurable

Última modificació: 24/05/2024

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA DE TELECOMUNICACIÓ (Pla 2013). (Assignatura optativa).
MÀSTER UNIVERSITARI EN TECNOLOGIES AVANÇADES DE TELECOMUNICACIÓ (Pla 2019). (Assignatura optativa).
MÀSTER UNIVERSITARI EN ENGINYERIA ELECTRÒNICA (Pla 2022). (Assignatura optativa).

Curs: 2024

Crèdits ECTS: 5.0

Idiomes: Anglès

PROFESSORAT

Professorat responsable: JOAN PONS NIN

Altres:

Primer quadrimestre:

MARCO AURELIO AZPÚRUA AUYANET - 11

JUAN ANTONIO CHAVEZ DOMINGUEZ - 13

JOAN PONS NIN - 11, 13

Segon quadrimestre:

MARCO AURELIO AZPÚRUA AUYANET - 31

JOAN PONS NIN - 31

CAPACITATS PRÈVIES

Fonaments d'electrònica digital: sistemes numèrics, codis binaris, Àlgebra de Boole, anàlisi i disseny de circuits lògics combinacionals, mòduls combinacionals, anàlisi i disseny de circuits seqüencials senzills, mòduls seqüencials (registres, comptadors, etc.) Fonaments de la tecnologia CMOS.

COMPETÈNCIES DE LA TITULACIÓ A LES QUALS CONTRIBUEIX L'ASSIGNATURA

Transversals:

1. TREBALL EN EQUIP: Ser capaç de treballar com a membre d'un equip interdisciplinari, ja sigui com un membre més o duent a terme tasques de direcció, amb la finalitat de contribuir a desenvolupar projectes amb pragmatisme i sentit de la responsabilitat, tot assumint compromisos considerant els recursos disponibles.

2. ÚS SOLVENT DELS RECURSOS D'INFORMACIÓ: Gestionar l'adquisició, l'estructuració, l'anàlisi i la visualització de dades i informació de l'àmbit d'especialitat, i valorar de forma crítica els resultats d'aquesta gestió.

3. TERCERA LLENGUA: Conèixer una tercera llengua, preferentment l'anglès, amb un nivell adequat oral i escrit i en consonància amb les necessitats que tindran els titulats i titulades.

METODOLOGIES DOCENTS

- Classes de teoria.
- Classes de laboratori
- Treball personal (a distància)
- Proves de resposta curta (exàmens intermedis)
- Prova de resposta ampliada (examen final)

OBJECTIUS D'APRENENTATGE DE L'ASSIGNATURA

Objectius d'aprenentatge de l'assignatura:

L'objectiu d'aquest curs és la presentació i ús d'eines i metodologies avançades de disseny digital, amb especial èmfasi en els llenguatges de descripció de maquinari, els dispositius lògics programables i les tècniques avançades de disseny de subsistemes digitals de complexitat mitjana.

Resultats d'aprenentatge de l'assignatura:

- Capacitat per dissenyar, implementar i avaluar circuits digitals de complexitat mitjana, mitjançant dispositius lògics programables com FPGA i CPLD.
- Capacitat per descriure i avaluar circuits lògics de complexitat mitjana mitjançant el llenguatge de descripció VHDL i les eines associades.
- Coneixement de les característiques i característiques dels dispositius lògics programables comercials, com ara CPLD i FPGA. Capacitat per entendre la informació proporcionada pels fabricants.
- Identificació i modelització de sistemes digitals de complexitat mitjana. Anàlisis i enfocaments qualitius, establint mètodes per validar els resultats.

HORES TOTALES DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores aprenentatge autònom	86,0	68.80
Hores grup petit	26,0	20.80
Hores grup gran	13,0	10.40

Dedicació total: 125 h

CONTINGUTS

1. Introducció al VHDL

Descripció:

- Fonaments de VHDL, tipus de dades, objectes de dades i operadors.
- Unitats bàsiques de disseny: entitats, arquitectures, paquets i biblioteques.
- Descripcions de flux de dades: assignacions concurrents.
- Descripcions de comportament: processos i sentències seqüencials.
- Descripcions estructurals: components, sentències de generació i iteració.

Dedicació: 35h

Grup gran/Teoria: 5h

Grup petit/Laboratori: 10h

Aprenentatge autònom: 20h

2. Problemàtiques del disseny digital

Descripció:

- Màquines d'estats finits: revisió, especificació amb VHDL, síntesi.
- Riscos lògics: espuris estàtics i dinàmics, efectes i estratègies de mitigació.
- Consum d'energia: potència estàtica i dinàmica, pics de corrent, estimació de potència en CPLD i FPGA, estratègies de baixa potència.
- Metastabilitat i temporització: metastabilitat en circuits síncrons, errors de sincronització, avaluació d'estratègies de sincronització: temps mitjà entre fallades.
- Disseny síncron: anàlisi temporal de circuits síncrons, síncron o asíncron?, interconnexió de circuits síncrons i asíncrons, màquines d'estat concurrents.

Dedicació: 43h

Grup gran/Teoria: 5h

Grup petit/Laboratori: 8h

Aprenentatge autònom: 30h

3. Sistemes algorísmics

Descripció:

- Fonaments de màquines d'estats algorísmiques, subsistemes de dades i control, diagrama ASM i especificació VHDL, temporització implicada.
- Disseny d'unitats específiques de dades i de control.
- Control microprogramat: unitats de control simples i evolucionades basades en memòria.

Dedicació: 21h 30m

Grup gran/Teoria: 1h 30m

Grup petit/Laboratori: 8h

Aprenentatge autònom: 12h

ACTIVITATS

LABORATORI

Descripció:

- Mòdul 1: Introducció a les eines hardware i software de disseny (8h).
- Mòdul 2: Disseny jeràrquic VHDL (9h).
- Mòdul 3: Disseny ASM (9h).

Dedicació: 26h

Grup petit/Laboratori: 26h

HOMEWORK

Descripció:

Realització i lliurament de 3 o 4 petits treballs, exercicis, etc. a fer individualment fora de l'aula.

Dedicació: 6h

Aprenentatge autònom: 6h



EXAMENS PARCIALS

Descripció:

Dos exàmens curts que es fan durant el curs.

Dedicació: 2h

Grup gran/Teoria: 2h

EXAMEN FINAL DE TEORIA I LABORATORI

Dedicació: 3h

Grup gran/Teoria: 3h

SISTEMA DE QUALIFICACIÓ

Puntuació final: 60% nota de teoria + 40% nota de laboratori

La nota teòrica és la màxima entre:

- 100% examen final,
- 50% examen final + 50% d'exàmens parcials, controls i altres activitats realitzades durant el curs.

És possible lliurar-se de l'examen final si la nota dels exàmens parcials i d'altres treballs realitzats durant el curs (anomenada CTG) és 7,5 o superior. En aquest cas, la CTG es converteix en la nota de teoria.

NORMES PER A LA REALITZACIÓ DE LES PROVES.

En els exàmens no es permet l'ús de dispositius amb connexió inalàmbrica (mòbils, portàtils, tablets, etc.), ni de calculadores programables. A més, cal portar algun document identificatiu (DNI, passaport, etc.)

BIBLIOGRAFIA

Bàsica:

- Balch, M. Complete digital design: a comprehensive guide to digital electronics and computer system architecture. New York: McGraw-Hill, 2003. ISBN 978-0071737708.
- Zwolinski, M. Digital system design with VHDL. 2nd ed. Harlow, England: Prentice-Hall, 2004. ISBN 013039985X.

Complementària:

- Rushton, A. VHDL for logic synthesis [en línia]. 3rd ed. Wiley, 2011 [Consulta: 21/06/2017]. Disponible a: <http://onlinelibrary.wiley.com/book/10.1002/9781119995852>. ISBN 9781119995852.
- Lee, S. Advanced digital logic design: using VHDL, state machines, and synthesis for FPGAs. Southbank: Thomson, 2006. ISBN 978-0534466022.