

Guía docente

230652 - ESDC - Diseño de Sistemas Electrónicos para Comunicaciones

Última modificación: 13/06/2024

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona

Unidad que imparte: 710 - EEL - Departamento de Ingeniería Electrónica.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN (Plan 2013). (Asignatura obligatoria).
MÁSTER UNIVERSITARIO EN TECNOLOGÍAS AVANZADAS DE TELECOMUNICACIÓN (Plan 2019).
(Asignatura optativa).

Curso: 2024

Créditos ECTS: 5.0

Idiomas: Inglés

PROFESORADO

Profesorado responsable: FRANCESC DE BORJA MOLL ECHETO

Otros: Primer quadrimestre:
FRANCESC DE BORJA MOLL ECHETO - 11

Segon quadrimestre:
JOSEP ALTET SANAHUJES - 31, 33
FRANCESC DE BORJA MOLL ECHETO - 31, 33

CAPACIDADES PREVIAS

Previous knowledge needed to follow all the explanations:

BASIC CIRCUIT ANALYSIS:

- RC circuits. Time constant. Energy stored in a capacitor.

MOS TRANSISTOR

- Identification of terminals, currents and voltages in NMOS and PMOS devices.

- Large Signal (DC), long channel equations (I_D vs V_{GS} , V_{DS}) curves and regions. Transconductance and gate dimensions. Channel-Length modulation.

Overdrive voltage

- Unified model for PMOS and NMOS.

- Threshold voltage effects: Body Effect. Threshold voltage as a function of bulk-source voltage: linear simplification equation. Drain induced barrier lowering.

- Short channel equations: Mobility degradation and Velocity saturation.

- Parasitic capacitances: Gate capacitance and Diffusion Capacitance

DIGITAL CIRCUITS

- CMOS Logic gates. Extraction of the truth table and logic expression from a gate transistor schematic.

DIGITAL DESIGN

- Digital codes: Signed and unsigned binary codes. Basic binary arithmetic operations: addition and multiplication. Error Detection Codes: parity codes.

- Combinational circuits. Canonical implementation of logic functions. De Morgan's Laws.

- State Machines: state diagram. Canonical structure of sequential systems.

- Basic combinational and sequential blocks. Truth table. Logic level schematic.

Symbol. (basic logic gates, multiplexer, decoder, half adder, full adder, flip-flop, latch, register, counter).

- Digital waveform as a function of time interpretation.

- VHDL Hardware Description Language.

COMPETENCIAS DE LA TITULACIÓN A LAS QUE CONTRIBUYE LA ASIGNATURA

Específicas:

1. Capacidad para diseñar y fabricar circuitos integrados.
2. Conocimiento de los lenguajes de descripción hardware para circuitos de alta complejidad.
3. Capacidad para utilizar dispositivos lógicos programables, así como para diseñar sistemas electrónicos avanzados, tanto analógicos como digitales. Capacidad para diseñar componentes de comunicaciones como por ejemplo encaminadores, conmutadores, concentradores, emisores y receptores en diferentes bandas.

Transversales:

4. USO SOLVENTE DE LOS RECURSOS DE INFORMACIÓN: Gestionar la adquisición, la estructuración, el análisis y la visualización de datos e información en el ámbito de especialidad, y valorar de forma crítica los resultados de dicha gestión.

5. TERCERA LENGUA: Conocer una tercera lengua, preferentemente el inglés, con un nivel adecuado oral y escrito y en consonancia con las necesidades que tendrán los titulados y tituladas.

METODOLOGÍAS DOCENTES

- Clases magistrales.
- Learning by doing: desarrollo de un diseño.
- Trabajo individual y en equipo.

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

Conocer los principios generales y las metodologías de diseño de circuitos digitales dedicados a comunicación y procesado.
Capacidad de diseñar los principales bloques de un sistema electrónico digital con aplicaciones de comunicaciones.
Estimar y calcular figuras de mérito en circuitos digitales relacionadas con temporización y consumo de potencia.

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTE

Tipo	Horas	Porcentaje
Horas grupo grande	26,0	20.80
Horas grupo pequeño	13,0	10.40
Horas aprendizaje autónomo	86,0	68.80

Dedicación total: 125 h

CONTENIDOS

T1. Introduction

Descripción:

Objectives for the course. General view of a communication system design. Implementation options. Design example overview.

Dedicación: 2h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 1h

T2. Auxiliary blocks

Descripción:

Timer. Queue. simple UART.

Dedicación: 17h

Grupo grande/Teoría: 5h

Aprendizaje autónomo: 12h

T3. Communication flow control

Descripción:

UART with Timeout.

Dedicación: 18h

Grupo grande/Teoría: 6h

Aprendizaje autónomo: 12h

T4. Error checking and protocol implementation

Descripción:

CRC generator and checker. Integration with UART with Timeout.

Dedicación: 18h

Grupo grande/Teoría: 6h

Aprendizaje autónomo: 12h

T5. Timing aspects in digital design

Descripción:

Delay modeling. Timing analysis.

Dedicación: 14h

Grupo grande/Teoría: 4h

Aprendizaje autónomo: 10h

T6. Power consumption in digital design

Descripción:

Power consumption modeling. Low power techniques.

Dedicación: 14h

Grupo grande/Teoría: 4h

Aprendizaje autónomo: 10h



L1: Timer

Descripción:

Timer design with Quartus software

Dedicación: 9h

Grupo pequeño/Laboratorio: 3h

Aprendizaje autónomo: 6h

L2: Queues and CRC

Descripción:

Design of a queue and a CRC system.

Dedicación: 7h

Grupo pequeño/Laboratorio: 2h

Aprendizaje autónomo: 5h

L3: TX-RX Timer

Descripción:

Design of an UART with Timeout.

Dedicación: 7h

Grupo pequeño/Laboratorio: 2h

Aprendizaje autónomo: 5h

L4: TX-RX Timer CRC

Descripción:

Integration of CRC with UART and timeout.

Dedicación: 7h

Grupo pequeño/Laboratorio: 2h

Aprendizaje autónomo: 5h

L5: TX-RX Timer CRC ACK

Descripción:

Protocol implementation for flow control.

Dedicación: 6h

Grupo pequeño/Laboratorio: 2h

Aprendizaje autónomo: 4h

L6: Power analysis

Descripción:

Power analysis of the final implementation.

Dedicación: 6h

Grupo pequeño/Laboratorio: 2h

Aprendizaje autónomo: 4h

SISTEMA DE CALIFICACIÓN

Evaluación continuada y laboratorio: 50%

Examen final: 50%

BIBLIOGRAFÍA

Básica:

- Franklin, M.A. [et al.]. Network Processor Design, vol. 3, Issues and practices [en línea] [en línea]. Morgan Kaufmann, 2005 [Consulta: 21/04/2020]. Disponible a: <https://ebookcentral.proquest.com/lib/upcatalunya-ebooks/detail.action?docID=232128>. ISBN 9780120884766.
- Weste, N.H.E.; Harris, D.M. CMOS VLSI design: a circuits and systems perspective. 4th ed. Boston: Addison Wesley, 2011. ISBN 9780321547743.
- Forouzan, B. A. Data communications and networking with TCP/IP protocol suite. 6th ed. New York: McGraw-Hill, 2022. ISBN 9781260597820.
- Escudero i Costa, F; Altet, J. Design methodology for programming multi task applications on low cost microprocessors. First edition: English version. [Great Britain]: Francesc Escudero, Josep Altet, [2020]. ISBN 9798667923503.

Complementaria:

- Giladi, R. Network Processors : architecture, programming, and implementation [en línea]. Amsterdam: Morgan Kaufmann, 2008 [Consulta: 21/04/2020]. Disponible a: <https://ebookcentral.proquest.com/lib/upcatalunya-ebooks/detail.action?docID=404833>. ISBN 9780080919591.