



Guía docente

230667 - SCPD - Diseño Físico de Sistemas Integrados

Última modificación: 25/05/2023

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona

Unidad que imparte: 710 - EEL - Departamento de Ingeniería Electrónica.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA ELECTRÓNICA (Plan 2013). (Asignatura optativa).
MÁSTER UNIVERSITARIO EN TECNOLOGÍAS AVANZADAS DE TELECOMUNICACIÓN (Plan 2019).
(Asignatura optativa).
MÁSTER UNIVERSITARIO EN INGENIERÍA ELECTRÓNICA (Plan 2022). (Asignatura optativa).

Curso: 2023

Créditos ECTS: 5.0

Idiomas: Inglés

PROFESORADO

Profesorado responsable:	Consultar aquí / See here: https://telecos.upc.edu/ca/estudis/curs-actual/professorat-responsables-coordinadors/responsables-assignatura
Otros:	Consultar aquí / See here: https://telecos.upc.edu/ca/estudis/curs-actual/professorat-responsables-coordinadors/professorat-assignat-idioma

CAPACIDADES PREVIAS

Haber cursado y aprobado el curso Digital Nanoelectronic Design.

Conocimientos sobre tecnología y diseño CMOS.

Conocimientos de diseño digital, combinacional y secuencial.

Conocimientos de diseño basado en "standard cells": síntesis y "place and route".

Conocimientos de "Static Timing Analysis",

Experiencia previa con herramientas de diseño para síntesis (Genus o DC) y "place and route" (Innovus o ICC2).

COMPETENCIAS DE LA TITULACIÓN A LAS QUE CONTRIBUYE LA ASIGNATURA

Específicas:

CEE18. Capacidad de diseñar circuitos integrados digitales y analógicos CMOS de complejidad media.

CEE19. Capacidad de aplicar técnicas de bajo consumo para circuitos integrados (CIs).

Transversales:

1. TRABAJO EN EQUIPO: Ser capaz de trabajar como miembro de un equipo interdisciplinar, ya sea como un miembro más o realizando tareas de dirección, con la finalidad de contribuir a desarrollar proyectos con pragmatismo y sentido de la responsabilidad, asumiendo compromisos teniendo en cuenta los recursos disponibles.

2. USO SOLVENTE DE LOS RECURSOS DE INFORMACIÓN: Gestionar la adquisición, la estructuración, el análisis y la visualización de datos e información en el ámbito de especialidad, y valorar de forma crítica los resultados de dicha gestión.

3. TERCERA LENGUA: Conocer una tercera lengua, preferentemente el inglés, con un nivel adecuado oral y escrito y en consonancia con las necesidades que tendrán los titulados y tituladas.



METODOLOGÍAS DOCENTES

- Lección magistral
- Laboratorio
- Trabajo individual
- Presentación de tema de investigación, individual o grupos de dos personas.

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

El objetivo del curso es aprender métodos de diseño de circuitos integrados digitales CMOS desde una descripción RTL a una descripción de layout usando herramientas de diseño actuales. El layout resultante ha de satisfacer las restricciones topológicas, geométricas y de prestaciones temporales y de potencia correspondientes a las especificaciones del diseño.

Resultados de aprendizaje:

- Capacidad de entender y aplicar restricciones temporales y de potencia a un circuito integrado complejo.
- Capacidad de realizar la implementación física de un circuito integrado complejo.
- Capacidad de aplicar técnicas de diseño para bajo consumo en el diseño d'un circuito integrado.
- Capacidad d'usar herramientas de diseño (CAD) actuales per al diseño de circuitos integrados.

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas grupo grande	13,0	10.40
Horas grupo pequeño	26,0	20.80
Horas aprendizaje autónomo	86,0	68.80

Dedicación total: 125 h

CONTENIDOS

Introduction to VLSI design, Technology evolution and state of the art.

Descripción:

Basis of modern integrated circuits (IC) design and technology. Moore's Law. Evolution of microprocessors and memories during the last decades. Key technology changes in the IC progress. Bulk and 3D technologies, other alternatives. State of the art and foreseen evolution.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

Design challenges. Computer Aided Design Tools. Design flow.

Descripción:

Evolution of design complexity in comparison with technology evolution. Design steps, design flow. High level description and synthesis. Hardware description languages, RTL level, architecture level, gate level. Verilog and VHDL languages. Placement and routing. Physical level requirements. Tools for verification and test.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h



Digital CMOS circuits delay models. Voltage scaling impact. Pipeline. Timing violations.

Descripción:

Basic RC delay model for CMOS digital circuits. Advanced delay models in Spice simulator. Parasitic capacitances in layout, interconnection modeling. Analytical delay model, impact of voltage scaling in logic circuits. Timing requirements in sequential circuits, performances. Timing violation concept. Pipeline architectures.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

Digital CMOS circuits power components and models. Dynamic and Static power components models. Voltage and frequency scaling.

Descripción:

Power consumption evolution of modern integrated circuits. Power dissipation limits. Packaging, limit temperatures. Mechanisms of power dissipation in CMOS digital circuits. Static components, power dissipation due to subthreshold currents, models. Dynamic components, switching capacitance dissipation, model. Effect of voltage and frequency scaling.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

Low Power Design techniques.

Descripción:

Gate, Data and Power scaling. Impact of modern design strategies for low power design, examples of modern integrated circuits. Principles of clock gating, data gating and voltage and frequency scaling.

Multiple threshold voltage, multiple voltage islands, body bias modulation in FDSOI technology. Optimization of integrated circuit design using multiple threshold voltages strategy. Impact on power and performances. Multiple islands techniques, concept of level shifter cells. Substrate biasing concept, application in FDSOI technology.

Dedicación: 6h

Grupo grande/Teoría: 2h

Aprendizaje autónomo: 4h

Thermal power models. Impact on delay and power. Self-heating.

Descripción:

Concept of power dissipation chain, models, parameter calculation, state of the art. Impact of power dissipation in the integrated circuit temperature. Static and dynamic evolution. Self-heating concept.

Dedicación: 3h

Grupo pequeño/Laboratorio: 1h

Aprendizaje autónomo: 2h



Technology Scaling impact. Logic circuitry and interconnection models.

Descripción:

Scaling, the key factor of the integrated circuits progress. Moore's law and scaling. Limits in the photolithographic processes, evolution, state of the art and future prediction. Scaling models for circuitry and interconnections.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

IR and LdI/dt Vdd drops. Switching noise. Compensation techniques.

Descripción:

Dynamic current signals in digital switching circuits. Distribution of power supply wires, rings. Electrical models and voltage fluctuations due to dynamic and static voltage drops caused by parasitic capacitances. Decoupling capacitance techniques.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

Crosstalk between interconnections. Reliability issues.

Descripción:

Crosstalk coupling between parallel interconnection buses. Impact on delay and power. Models, evolution. Noise coupling through substrate and electromagnetic interferences. Concept of aging in MOS devices, hot carrier injection (HCI) and bias temperature instability (BTI) mechanism, impact, recovering mechanisms. Impact on reliability.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

Test of digital integrated circuits

Descripción:

Defects in manufacturing process. Test principles and objectives in the design integrated design and manufacturing. Fault models. Test techniques. Standards related with test, Scan Path and Boundary Scan path techniques.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h

Alternative design techniques and technologies (emerging devices, neural networks)

Descripción:

Concept of memristor, characteristics. State of the art of memristive memories and processors. Concept of Computing In Memory. Memristive devices, ReRAM and STT-devices.

Concept of Neural Networks, memristors as synaptic units. Examples of neural network implementations.

Dedicación: 3h

Grupo grande/Teoría: 1h

Aprendizaje autónomo: 2h



Laboratory: physical implementation of digital IC

Descripción:

Lab 1 Synthesis with physical information
Lab 2 Floorplanning a complete chip
Lab 3 Place and route
Lab 4 Full Flow: RTL to Place and Route with low power techniques

Dedicación: 83h

Grupo pequeño/Laboratorio: 57h
Aprendizaje autónomo: 26h

Research topic presentation

Descripción:

The professors will propose a current topic related to digital design and technology. Each student or groups of two will do some research with current bibliography and present the state of the art on that topic to the rest of the class.

Dedicación: 6h

Grupo grande/Teoría: 1h
Aprendizaje autónomo: 5h

SISTEMA DE CALIFICACIÓN

Evaluación continua (CE):

- Dos exámenes parciales: 16.6% each
- Presentación tema de investigación: 16.6%
- Actividad de laboratorio: 50%

Examen Final (FE)

Nota final: maxim (CE, FE)

NORMAS PARA LA REALIZACIÓN DE LAS PRUEBAS.

Examen Final: individual

Exámenes parciales: individual

Presentación de investigación: grupos de hasta dos personas.

Laboratorio: grups fins a dues personnes.

BIBLIOGRAFÍA

Básica:

- Bhasker, J; Chadha, R.. Static timing analysis for nanometer designs, a practical approach [en línea]. Boston, MA: Springer, 2009 [Consulta: 09/06/2021]. Disponible a: <http://dx.doi.org/10.1007/978-0-387-93820-2>. ISBN 9780387938202.
- Wang, L.T.; Chang, Y.W.; Ting, K. (eds.). Electronic design automation: synthesis, verification, and test. Burlington, MA: Morgan Kaufmann Publishers/Elsevier, 2009. ISBN 9780123743640.