Guía docente
230731 - DND - Diseño Nanoelectrónico Digital

Última modificación: 25/05/2023

Unidad responsable: Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona
Unidad que imparte: 710 - EEL - Departamento de Ingeniería Electrónica.

Titulación: MÁSTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN (Plan 2013). (Asignatura optativa).
MÁSTER UNIVERSITARIO EN TECNOLOGÍAS AVANZADAS DE TELECOMUNICACIÓN (Plan 2019). (Asignatura optativa).
MÁSTER UNIVERSITARIO EN INGENIERÍA ELECTRÓNICA (Plan 2022). (Asignatura obligatoria).

Curso: 2023 **Créditos ECTS:** 5.0 **Idiomas:** Inglés

PROFESORADO

Profesorado responsable: Consultar aquí / See here: https://telecos.upc.edu/ca/estudis/curs-actual/professorat-responsables-coordinadors/responsables-assignatura

Otros: Consultar aquí / See here: https://telecos.upc.edu/ca/estudis/curs-actual/professorat-responsables-coordinadors/professorat-assignat-idioma

CAPACIDADES PREVIAS

Conceptos generales sobre diseño microelectrónico.
- Características de las tecnologías actuales.
- Tecnología microelectrónica, fabricación de circuitos integrados.
- Proceso de diseño (esquema) y descripción física (layout) y verificación.
- Comportamiento y ecuaciones básicas del transistor MOS.
- Análisis DC de circuitos básicos.
- Capacidades del transistor MOS.
- Velocidad y consumo de potencia de puertas digitales CMOS.

COMPETENCIAS DE LA TITULACIÓN A LAS QUE CONTRIBUYE LA ASIGNATURA

Específicas:
CMEE18. Diseñar circuitos integrados digitales y analógicos CMOS de complejidad media.
CMEE19. Aplicar técnicas de bajo consumo para circuitos integrados (CIs).
CMEE20. Diseñar para testabilidad y desarrollar esquemas de test para CIs.

Transversales:
CTMEE5. Tercera lengua. Conocer una tercera lengua, preferentemente el inglés, con un nivel adecuado oral y escrito y en consonancia con las necesidades que tendrán los titulados y tituladas.

METODOLOGÍAS DOCENTES

- Clases de teoría.
- Sesiones de laboratorio.
- Trabajos prácticos de laboratorio.
- Test de respuesta corta (Control).
- Prueba de respuesta ampliada (examen final).

OBJETIVOS DE APRENDIZAJE DE LA ASIGNATURA

El principal resultado de aprendizaje de la asignatura es:
- Capacidad para diseñar circuitos integrados CMOS digitales de complejidad media, desde la concepción hasta el tapeout.
Este objetivo se divide en los siguientes objetivos específicos:
- Capacidad para comprender la evolución de las tecnologías integradas.
- Capacidad para identificar casos y aplicaciones adecuadas para una solución integrada.
- Capacidad para analizar las características de un circuito integrado digital.
- Capacidad para introducir técnicas de diseño de bajo consumo.
- Capacidad para evaluar el efecto de las interconexiones y considerarlas en su diseño.
- Capacidad para utilizar elementos auxiliares, tales como distribución de alimentación y reloj, buffers, PLL/DLL, pads de E/S y drivers.
- Capacidad de utilizar herramientas CAD/CAE industriales para el diseño digital integrado.

HORAS TOTALES DE DEDICACIÓN DEL ESTUDIANTADO

Tipo	Horas	Porcentaje
Horas grupo pequeño	13,0	10.40
Horas grupo grande	26,0	20.80
Horas aprendizaje autónomo	86,0	68.80

Dedicación total: 125 h

CONTENIDOS

1. Introducción

Descripción:
1.1 Ley de Moore. Límites CMOS y tendencias tecnológicas.
1.2 Compromiso entre rendimiento y coste. Espacio de diseño.
1.3 Modelos de MOSFET Planar y FinFET para el diseño digital.
1.4 Estado del arte en VLSI.
1.5 SoC. Ejemplos de chips.

Dedicación: 6h
Grupo grande/Teoría: 2h
Aprendizaje autónomo: 4h

2 Diseño de circuitos CMOS combinacionales

Descripción:
2.1 Estructura de las puertas estáticas CMOS.
2.2 Diseño de puertas estáticas CMOS. Método del camino de Euler.
2.3 Modelo de retardo RC. Retardos de Elmore.
2.4 Esfuerzo lógico. Estimación de los retardos de propagación y contaminación.
2.5 Otras familias de circuitos: Ratioed, Dinámico, Transistores de paso, CVSL.

Dedicación: 20h
Grupo grande/Teoría: 6h
Aprendizaje autónomo: 14h

3 Diseño de circuitos CMOS secuenciales

Descripción:
3.1 Latches y flip-flops. Tiempos de establecimiento y de mantenimiento.
3.2 Restricciones de reatrdo. Skew del reloj.
3.3 Reset. Flip-flops D, E y T.
3.4 Sincronizadores. Análisis temporal. Slack. Adaptación entre dominios de reloj.
3.5 Memorias integradas: SRAM, DRAM, ROM y Flash.

Dedicación: 14h
Grupo grande/Teoría: 4h
Aprendizaje autónomo: 10h

4 Subsistemes digitals

Descripción:
4.1 Estrategias de diseño estructurado. Jerarquía, Regularidad, Modularidad, Localidad.
4.2 Unidad de control y datapath.
4.3 Contadores, LFSR y deswplazadores. FIFO.
4.4 Sumadores binarios.
4.5 Multiplicadores binarios.

Dedicación: 13h
Grupo grande/Teoría: 4h
Aprendizaje autónomo: 9h

5 Diseño de bajo consumo

Descripción:
5.1 Fuentes de disipación de potencia.
5.2 Diseño de bajo consumo.
5.3 Reducción de consumo dinámico. Paro del reloj.
5.4 Reducción de consumo estático. Paro de la alimentación.
5.5 DVS.

Dedicación: 7h
Grupo grande/Teoría: 2h
Aprendizaje autónomo: 5h

6 Aspectos prácticos del diseño VLSI

Descripción:
6.1 Modelado de interconexiones. R, C, L. Efecto superficial.
6.2 Retardo y consumo de las interconexiones.
6.3 Diafonía.
6.4 Robustez y variabilidad. Estrategias de variabilidad. Esquinas del diseño.
6.6 Distribución de la alimentación.
6.7 Distribución del reloj. Buffering.
6.8 PLL y DLL.
6.9 Pads de entrada/salida.
6.10 Layout y tapeout: Floorplan, DRC, latchup, electromigración, parásitos, efecto antena.
6.11 Encapsulado.

Dedicación: 13h
Grupo grande/Teoría: 4h
Aprendizaje autónomo: 9h

7 Test y verificación

Descripción:
7.1 Necesidad del test de fabricación. Defectos y fallos.
7.2 Modelos de fallo. Rendimiento. Vectores de test.
7.3 Cobertura de test. Controlabilidad y observabilidad.
7.4 Generación automática de patrones de test (ATPG). Test de fallos de retardo.
7.5 Diseño para test (DFT).
7.6 Test basado en escaneo.
7.7 Tolerancia a fallos y autotest. BIST.
7.8 Test a nivel de sistema.

Dedicación: 13h
Grupo grande/Teoría: 4h
Aprendizaje autónomo: 9h

Laboratorio de diseño digital VLSI

Descripción:
Proyecto de diseño de un circuito integrado de complejidad media. Herramientas CAE: síntesis y back-end. Diseño de layout. Biblioteca de celdas estándar. Simulación funcional y con back-annotation.

Dedicación: 39h
Grupo pequeño/Laboratorio: 13h
Aprendizaje autónomo: 26h

SISTEMA DE CALIFICACIÓN

Examen final: 35%
Examen parcial: 35%
Trabajo de laboratorio: 30%

BIBLIOGRAFÍA

Básica:
- Weste, N.H.E.; Harris, D.M. CMOS VLSI design: a circuits and systems perspective. 4th ed. Boston: Addison Wesley, 2011. ISBN 9780321547743.

Complementaria:
- Lin, Ming-Bo. Introduction to VLSI systems: a logic, circuit, and system perspective. Boca Ratón: CRC Press, 2012. ISBN 9781439868591.
- Rabaey, Jan. Low Power Design Essentials [en línea]. New York, NY: Springer, 2009 [Consulta: 30/06/2022]. Disponible a: https://link-springer-com.recursos.biblioteca.upc.edu/book/10.1007/978-0-387-71713-5. ISBN 9781282126534.
- Saha, Samar K. FinFET Devices for VLSI Circuits and Systems [en línea]. Boca Raton, FL: CRC Press, 2021 [Consulta: 07/07/2022]. Disponible a: https://www.taylorfrancis.com/books/9780429504839. ISBN 9780429504839.