

Guia docent

230114 - DSP-FPGA - Disseny de Sistemes de Dsp en Temps Real amb Fpgas

Última modificació: 29/04/2020

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona

Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: GRAU EN ENGINYERIA DE SISTEMES ELECTRÒNICS (Pla 2009). (Assignatura optativa).
GRAU EN CIÈNCIES I TECNOLOGIES DE TELECOMUNICACIÓ (Pla 2010). (Assignatura optativa).
GRAU EN ENGINYERIA DE SISTEMES AUDIOVISUALS (Pla 2009). (Assignatura optativa).
GRAU EN ENGINYERIA DE SISTEMES DE TELECOMUNICACIÓ (Pla 2010). (Assignatura optativa).
GRAU EN ENGINYERIA DE TECNOLOGIES I SERVEIS DE TELECOMUNICACIÓ (Pla 2015). (Assignatura optativa).

Curs: 2020

Crèdits ECTS: 6.0

Idiomes: Anglès

PROFESSORAT

Professorat responsable: JORDI MADRENAS

Altres: JORDI MADRENAS

CAPACITATS PRÈVIES

Processament digital de senyal bàsic, Disseny digital, Descripció amb VHDL o Verilog, Sistemes (micro) processadors, Programació bàsica.

METODOLOGIES DOCENTS

- Classes expositives
- Classes de laboratori
- Treball en grup (no presencial)
- Treball individual (no presencial)
- Proves de resposta curta
- Proves de resposta llarga

OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

- Adquirir una metodologia d'implementació ràpida i eficient d'algorismes de DSP sobre FPGAs.
- Decidir la partició entre software i hardware per obtenir la millor eficiència.
- Dissenyar el hardware tenint en compte el compromís entre àrea, consum i prestacions, en funció de l'aplicació.
- Utilitzar eines actuals d'automatització per al mapeig d'algorismes de DSP sobre FPGAs.
- Implementar físicament algorismes de DSP sobre dispositius FPGA reals.

HORES TOTALES DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup petit	26,0	17.33
Hores aprenentatge autònom	98,0	65.33
Hores grup gran	26,0	17.33

Dedicació total: 150 h

CONTINGUTS

1. Introducció al processament digital de senyal (DSP) en temps real

Descripció:

S'analitzen els requeriments que presenten els algorismes de DSP i els recursos que demanen per a una execució en temps real. Revisió d'alguns algorismes de DSP, amb èmfasi en processament d'imatge.

Dedicació: 12h

Classes teòriques: 6h

Aprenentatge autònom: 6h

2. Descripció d'algorismes de DSP amb llenguatges d'alt nivell

Descripció:

Entorn de Matlab/Simulink per descriure algorismes de DSP.

Dedicació: 18h

Classes teòriques: 4h

Classes laboratori: 4h

Aprenentatge autònom: 10h

3. Arquitectures FPGA

Descripció:

Introducció a les arquitectures principals dels dispositius FPGA fent èmfasi en els blocs de DSP i nuclis de propietat intel·lectual (IP cores). Presentació de l'entorn de desenvolupament de Xilinx.

Dedicació: 24h

Classes teòriques: 6h

Classes laboratori: 4h

Aprenentatge autònom: 14h

4. Mapeig d'algorismes de processament digital del senyal (DSP) en temps real

Descripció:

Introducció als conceptes d'implementació hardware de sistemes de DSP. Formes d'implementació i transformacions: processament sèrie i paral·lel (en l'espai i el temps), retiming, etc. Anàlisi del mapeig d'algorismes de DSP sobre hardware programable i compromisos àrea/retard/consum. Estudi de l'efecte de la precisió finita. Coma fixa i flotant. Eines de generació automàtica (System Generator).

Dedicació: 42h

Classes teòriques: 10h

Classes laboratori: 8h

Aprenentatge autònom: 24h

5. Projecte de disseny sobre plaques de desenvolupament

Descripció:

Realització d'un projecte de disseny sobre plaques de desenvolupament avançades, de la família 7 de Xilinx o Zynq.

Dedicació: 54h

Classes laboratori: 10h

Aprenentatge autònom: 44h



ACTIVITATS

LABORATORI

Descripció:

Pràctiques de descripció d'algorismes de DSP amb Matlab/Simulink, de mapeig i implementació sobre FPGAs amb System Generator i ISE. Projecte de disseny de processament en temps real, preferiblement d'imatge.

CONTROLS DE RESPOSTA CURTA

Descripció:

Un control de mig curs.

EXAMEN DE RESPOSTES LLARGUES

Descripció:

Examen final de teoria.

SISTEMA DE QUALIFICACIÓ

La nota final de l'assignatura s'obté a partir de la qualificació d'avaluació continuada (treballs proposats pel professor al llarg del curs i pràctiques de laboratori) i de l'examen final, segons el següent criteri:

Pràctiques de laboratori: 70 %

Examen parcial i controls: 10 %

Examen final: 20 %

BIBLIOGRAFIA

Bàsica:

- Khan, S. Digital design of signal processing systems: a practical approach [en línia]. Chichester: Wiley & Sons, 2011 [Consulta: 07/10/2014]. Disponible a: <http://onlinelibrary.wiley.com/book/10.1002/9780470974681>. ISBN 9780470741832.

- Bailey, D.G. Design for embedded image processing on FPGAs [en línia]. Singapore: Wiley & Sons, 2011 [Consulta: 07/10/2014]. Disponible a: <http://onlinelibrary.wiley.com/book/10.1002/9780470828519>. ISBN 9780470828496.

RECURSOS

Altres recursos:

Manuais d'usuari de Matlab, Simulink, System Generator, ISE.