

## 230114 - DSP-FPGA - Disseny de Sistemes de Dsp en Temps Real amb Fpgas

Unitat responsable: 230 - ETSETB - Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona  
 Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica  
 Curs: 2018  
 Titulació: GRAU EN ENGINYERIA DE SISTEMES ELECTRÒNICS (Pla 2009). (Unitat docent Optativa)  
 GRAU EN CIÈNCIES I TECNOLOGIES DE TELECOMUNICACIÓ (Pla 2010). (Unitat docent Optativa)  
 GRAU EN ENGINYERIA DE SISTEMES AUDIOVISUALS (Pla 2009). (Unitat docent Optativa)  
 GRAU EN ENGINYERIA DE SISTEMES DE TELECOMUNICACIÓ (Pla 2010). (Unitat docent Optativa)  
 GRAU EN ENGINYERIA DE TECNOLOGIES I SERVEIS DE TELECOMUNICACIÓ (Pla 2015). (Unitat docent Optativa)  
 Crèdits ECTS: 6 Idiomes docència: Anglès

### Professorat

Responsable: JORDI MADRENAS

Altres: JORDI MADRENAS

### Capacitats prèvies

Processament digital de senyal bàsic, Disseny digital bàsic, sistemes (micro) processadors, programació bàsica.

### Metodologies docents

- Classes expositives
- Classes de laboratori
- Treball en grup (no presencial)
- Treball individual (no presencial)
- Proves de resposta curta
- Proves de resposta llarga

### Objectius d'aprenentatge de l'assignatura

- Adquirir una metodologia d'implementació ràpida i eficient d'algorismes de DSP sobre FPGAs.
- Decidir la partició entre software i hardware per obtenir la millor eficiència.
- Dissenyar el hardware tenint en compte el compromís entre àrea, consum i prestacions, en funció de l'aplicació.
- Utilitzar eines actuals d'automatització per al mapeig d'algorismes de DSP sobre FPGAs.
- Implementar físicament algorismes de DSP sobre dispositius FPGA reals.

### Hores totals de dedicació de l'estudiantat

Dedicació total: 150h	Hores grup gran:	26h	17.33%
	Hores grup petit:	26h	17.33%
	Hores aprenentatge autònom:	98h	65.33%

## 230114 - DSP-FPGA - Disseny de Sistemes de Dsp en Temps Real amb Fpgas

### Continguts

<p>1. Introducció al processament digital de senyal (DSP) en temps real</p>	<p>Dedicació: 12h Classes teòriques: 6h Aprentatge autònom: 6h</p>
<p>Descripció: S'analitzen els requeriments que presenten els algorismes de DSP i els recursos que demanen per a una execució en temps real. Revisió d'alguns algorismes de DSP, amb èmfasi en processament d'imatge.</p>	
<p>2. Descripció d'algorismes de DSP amb llenguatges d'alt nivell</p>	<p>Dedicació: 18h Classes teòriques: 4h Classes laboratori: 4h Aprentatge autònom: 10h</p>
<p>Descripció: Entorn de Matlab/Simulink per descriure algorismes de DSP.</p>	
<p>3. Arquitectures FPGA</p>	<p>Dedicació: 24h Classes teòriques: 6h Classes laboratori: 4h Aprentatge autònom: 14h</p>
<p>Descripció: Introducció a les arquitectures principals dels dispositius FPGA fent èmfasi en els blocs de DSP i nuclis de propietat intel·lectual (IP cores). Presentació de l'entorn de desenvolupament de Xilinx.</p>	
<p>4. Mapeig d'algorismes de processament digital del senyal (DSP) en temps real</p>	<p>Dedicació: 42h Classes teòriques: 10h Classes laboratori: 8h Aprentatge autònom: 24h</p>
<p>Descripció: Introducció als conceptes d'implementació hardware de sistemes de DSP. Formes d'implementació i transformacions: processament sèrie i paral·lel (en l'espai i el temps), retiming, etc. Anàlisi del mapeig d'algorismes de DSP sobre hardware programable i compromisos àrea/retard/consum. Estudi de l'efecte de la precisió finita. Coma fixa i flotant. Eines de generació automàtica (System Generator).</p>	

## 230114 - DSP-FPGA - Disseny de Sistemes de Dsp en Temps Real amb Fpgas

5. Projecte de disseny sobre plaques de desenvolupament	Dedicació: 54h Classes laboratori: 10h Aprentatge autònom: 44h
Descripció: Realització d'un projecte de disseny sobre plaques de desenvolupament avançades, de la família 7 de Xilinx o Zynq.	

### Planificació d'activitats

<b>LABORATORI</b>
Descripció: Pràctiques de descripció d'algorismes de DSP amb Matlab/Simulink, de mapeig i implementació sobre FPGAs amb System Generator i ISE. Projecte de disseny de processament en temps real, preferiblement d'imatge.
<b>CONTROLS DE RESPOSTA CURTA</b>
Descripció: Un control de mig curs.
<b>EXAMEN DE RESPOSTES LLARGUES</b>
Descripció: Examen final de teoria.

### Sistema de qualificació

La nota final de l'assignatura s'obté a partir de la qualificació d'avaluació continuada (treballs proposats pel professor al llarg del curs i pràctiques de laboratori) i de l'examen final, segons el següent criteri:

Examen final: 20 %  
Examen parcial i controls: 10 %  
Pràctiques de laboratori: 70 %

## 230114 - DSP-FPGA - Disseny de Sistemes de Dsp en Temps Real amb Fpgas

### Bibliografia

#### Bàsica:

Bailey, D.G. Design for embedded image processing on FPGAs [en línia]. Singapore: Wiley & Sons, 2011 [Consulta: 07/10/2014]. Disponible a: <<http://onlinelibrary.wiley.com/book/10.1002/9780470828519>>. ISBN 9780470828496.

Khan, S. Digital design of signal processing systems: a practical approach [en línia]. Chichester: Wiley & Sons, 2011 [Consulta: 07/10/2014]. Disponible a: <<http://onlinelibrary.wiley.com/book/10.1002/9780470974681>>. ISBN 9780470741832.

#### Altres recursos:

Manuais d'usuari de Matlab, Simulink, System Generator, ISE.