

## 230120 - DSED - Disseny de Sistemes Electrònics Digitals

Unitat responsable: 230 - ETSETB - Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona  
Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica  
Curs: 2018  
Titulació: GRAU EN ENGINYERIA DE TECNOLOGIES I SERVEIS DE TELECOMUNICACIÓ (Pla 2015). (Unitat docent Optativa)  
Crèdits ECTS: 5 Idiomes docència: Català, Castellà

### Professorat

Responsable: Chavez Dominguez, Juan Antonio  
Rubio Sola, Jose Antonio

Altres: Pons Nin, Joan  
Moll Echeto, Francesc De Borja

### Horari d'atenció

Horari: 6 hores de atenció, cada professor

### Capacitats prèvies

Coneixements bàsics sobre la tecnologia CMOS.  
Coneixements bàsics de disseny digital, components combinacionals i seqüencials.  
Coneixements bàsics d'arquitectura de microprocessadors

### Requisits

DISSENY DIGITAL - Precorequisit

### Competències de la titulació a les quals contribueix l'assignatura

Transversals:

07 AAT N3. APRENTATGE AUTÒNOM - Nivell 3: Aplicar els coneixements assolits a la realització d'una tasca en funció de la pertinència i la importància, decidint la manera de dur-la a terme i el temps que cal dedicar-hi i seleccionant-ne les fonts d'informació més adequades.

### Metodologies docents

Classes de teoria: presentacions en cada tema específic més anàlisi col·lectiu de casos de disseny digital electrònic.  
Classes de problemes: Estudi i desenvolupament de problemes de disseny digital relacionats amb la teoria exposada.  
Classes de laboratori: Disseny, anàlisi i desenvolupament de circuits digitals relacionats amb la teoria exposada i amb les telecomunicacions. Aquestes activitats de laboratori s'implementaran en plaques de Terasic que inclouen dispositius programables d'ALTERA.

Proves de resposta curta (controls) i de resposta llarga (examen final)

Treballs individuals i en grup (no presencials)

### Objectius d'aprenentatge de l'assignatura

Dissenyar circuits síncrons de mitjana i alta complexitat per a aplicacions preferentment de comunicacions i de processament de senyal en temps real.

## 230120 - DSED - Disseny de Sistemes Electrònics Digitals

El prototipatge ràpid serà l'eix de l'assignatura. Implementar eficientment els dissenys requereix una bona formació en el llenguatge de descripció de hardware VHDL, en el coneixement i ús d'eines de disseny, de les arquitectures de les FPGAs i dels components que les integren, així com de nocions de disseny digital avançat.

També serà important l'estudi i caracterització de les prestacions, especialment el comportament temporal dels dissenys. Conèixer les limitacions físiques dels dispositius és prioritari per calcular els paràmetres fonamentals dels circuits: freqüència màxima de funcionament, dissipació de potència, àrea ocupada i cost.

L'assimilació i la consolidació dels coneixements es farà implementant els dissenys al laboratori amb eines de disseny i dispositius comercials.

Llista d'objectius concrets de l'assignatura:

- \* Utilitzar metodologies i eines de disseny de sistemes digitals seqüencials complexos.
- \* Analitzar algunes de les problemàtiques de més incidència en el disseny digital.
- \* Conèixer i avaluar les alternatives d'implementació de sistemes digitals, en particular els dispositius lògics programables.
- \* Conèixer i utilitzar llenguatges de descripció de maquinari, en particular VHDL.

### Hores totals de dedicació de l'estudiantat

Dedicació total: 149h	Hores grup gran:	26h	17.45%
	Hores grup petit:	26h	17.45%
	Hores aprenentatge autònom:	97h	65.10%

## 230120 - DSED - Disseny de Sistemes Electrònics Digitals

### Continguts

<p>1. Disseny de sistemes electrònics digitals</p>	<p>Dedicació: 37h</p> <p>Grup gran/Teoria: 6h 30m Grup petit/Laboratori: 6h 30m Aprentatge autònom: 24h</p>
<p>Descripció:</p> <ul style="list-style-type: none"> <li>1.1. Estratègies de disseny.</li> <li>1.2. Dispositius lògics programables: CPLDs, FPGAs.</li> <li>1.3. Eines de prototipatge ràpid. <ul style="list-style-type: none"> <li>1.3.1. Llenguatges de descripció de hardware, tipus i nivells de descripció.</li> <li>1.3.2. Síntesi.</li> <li>1.3.3. Simulació. Restriccions temporals i verificació de prestacions.</li> <li>1.3.4. Pautes de test per a fabricació.</li> </ul> </li> </ul>	
<p>2. Síntesi amb VHDL</p>	<p>Dedicació: 37h</p> <p>Grup gran/Teoria: 6h 30m Grup petit/Laboratori: 6h 30m Aprentatge autònom: 24h</p>
<p>Descripció:</p> <ul style="list-style-type: none"> <li>2.1. Recordatori de les principals característiques.</li> <li>2.2. Biblioteques.</li> <li>2.3. Funcions i procediments.</li> <li>2.4. Inferència de blocs específics <ul style="list-style-type: none"> <li>2.4.1. Generació i distribució de senyals de rellotge.</li> <li>2.4.2. Blocs aritmètics.</li> <li>2.4.3. Blocs de memòria. Implementació de piles</li> </ul> </li> </ul>	

## 230120 - DSED - Disseny de Sistemes Electrònics Digitals

<p>3. Tècniques de disseny</p>	<p>Dedicació: 37h</p> <p>Grup gran/Teoria: 6h 30m Grup petit/Laboratori: 6h 30m Aprentatge autònom: 24h</p>
<p>Descripció:</p> <ul style="list-style-type: none"> <li>3.1. Màquines d'estats concurrents.</li> <li>3.2. Màquines algorísmiques. <ul style="list-style-type: none"> <li>3.2.1. Subsistema de dades. Pipelining.</li> <li>3.2.2. Subsistema de control.</li> <li>3.2.3. Sistemes microprogramats.</li> </ul> </li> <li>3.3. Mètodes de reducció del consum.</li> <li>3.4. Estructures i estàndards de test.</li> <li>3.5. IP cores.</li> </ul>	
<p>4. Problemàtiques de disseny</p>	<p>Dedicació: 37h</p> <p>Grup gran/Teoria: 6h 30m Grup petit/Laboratori: 6h 30m Aprentatge autònom: 24h</p>
<p>Descripció:</p> <ul style="list-style-type: none"> <li>4.1. Temporització de circuits digitals <ul style="list-style-type: none"> <li>4.1.1. Anàlisi temporal</li> <li>4.1.2. Metastabilitat.</li> <li>4.1.3. Espuris.</li> <li>4.1.4. Síncron versus asíncron</li> </ul> </li> <li>4.2. Síntesi de freqüència</li> <li>4.3. Interface amb memòries i perifèrics.</li> <li>4.4. Test</li> </ul>	

### Sistema de qualificació

Avaluació continuada de teoria: controls, exercicis i/o treballs a realitzar durant el curs (CT)

Examen final teoria (EFT)

Nota final de teoria (NFT): màxim (EFT, 0.5EFT+0.5CT)

Avaluació continuada de laboratori (CL): seguiment d'activitat

Examen final de laboratori (EFL)

Nota final de laboratori (NFL): 0.75CL + 0.25 EFL

Nota final assignatura = 0.5NFT + 0.5 NFL

## 230120 - DSED - Disseny de Sistemes Electrònics Digitals

### Normes de realització de les activitats

Exàmen final i controls: individuals

Treballs individuals: individuals

Laboratori: grups de màxim dos estudiants

En els exàmens no es permet l'ús de dispositius amb connexió inalàmbrica (mòbils, portàtils, tablets, etc.), ni de calculadores programables. A més, cal portar algun document identificatiu (DNI, passaport, etc.)

### Bibliografia

Bàsica:

Gajski, Daniel D. Principles of digital design. Upper Saddle River, N.J.: Prentice Hall, 1997. ISBN 0132423979.

Brown, S.D.; Vranesic, Z. Fundamentals of digital logic with VHDL design. 3rd ed. Boston [etc.]: McGraw-Hill, 2009. ISBN 9780071268806.

Skahill, Kevin. VHDL for PROGRAMMABLE LOGIC. 2006. Reading [etc.]: Addison Wesley, 1996. ISBN 0201895730.

Harris, S.L. ; Money, D. Digital design and computer architecture. ARM ed. Waltham, MA: Morgan Kaufmann, 2016. ISBN 9780128000564.

Ashenden, P. J. The Designer's guide to VHDL [en línia]. 3rd ed. Burlington: Morgan Kaufmann, 2008 [Consulta: 14/06/2017]. Disponible a: <<http://www.sciencedirect.com/science/book/9780120887859>>. ISBN 9780120887859.

Scarpino, Frank. VHDL and AHDL Digital System Implementation. Prentice Hall, 1998. ISBN 9780138570873.

Ashenden, P. J. The VHDL cookbook [en línia]. Adelaide, S. Aust.: Dept. of Computer Science, University of Adelaide, 1991 [Consulta: 15/06/2017]. Disponible a: <<https://pdfs.semanticscholar.org/75a1/318163592901aaa5a83728615979bba13707.pdf>>.