

## 330220 - SD - Sistemes Digitals

Unitat responsable: 330 - EPSEM - Escola Politècnica Superior d'Enginyeria de Manresa  
Unitat que imparteix: 750 - EMIT - Departament d'Enginyeria Minera, Industrial i TIC  
Curs: 2019  
Titulació: GRAU EN ENGINYERIA DE SISTEMES TIC (Pla 2010). (Unitat docent Obligatòria)  
Crèdits ECTS: 6 Idiomes docència: Català

### Professorat

Responsable: PERE PALÀ SCHÖNWÄLDER

Altres: ALEXIS LÓPEZ RIERA

### Competències de la titulació a les quals contribueix l'assignatura

#### Específiques:

1. La capacitat d'especificar, analitzar, dissenyar, avaluar i documentar circuits digitals, tant seqüencials com combinacionals, així com les seves alternatives d'implementació, incloent dispositius CPLD i FPGA.
2. La capacitat d'emprar les eines i els llenguatges d'especificació, síntesi i verificació de circuits electrònics.
3. El coneixement i la capacitat d'emprar les eines i la instrumentació existents per a l'anàlisi, el disseny, el desenvolupament i la verificació de sistemes electrònics, informàtics i de comunicacions.

#### Transversals:

4. TERCERA LENGUA: Conèixer una tercera llengua, que serà preferentment l'anglès, amb un nivell adequat de forma oral i per escrit i amb consonància amb les necessitats que tindran les titulades i els titulats en cada ensenyament.
5. COMUNICACIÓ EFICAÇ ORAL I ESCRITA - Nivell 1: Planificar la comunicació oral, respondre de manera adequada les qüestions formulades i redactar textos de nivell bàsic amb correcció ortogràfica i gramatical.
6. APRENTATGE AUTÒNOM - Nivell 1: Dur a terme les tasques encomanades en el temps previst, tot treballant amb les fonts d'informació indicades, d'acord amb les pautes marcades pel professorat.

### Metodologies docents

L'assignatura consta d'activitats presencials consistents en 3 hores setmanals de classe i 2 hores quinzenals de pràctiques de laboratori.

L'estudiant realitza l'aprenentatge mitjançant diversos mecanismes. A les classes magistrals i participatives es presenten els continguts de l'assignatura i es facilita la interacció entre estudiants i professor. També es proposen activitats de treball personal individual / en grup que han de contribuir a la comprensió de la matèria.

A les classes de laboratori els estudiants realitzen un treball previ que ajuda a posar en context el treball que es pretén desenvolupar al laboratori. L'activitat de laboratori pròpiament dita es desenvolupa en grups de dos estudiants i permet experimentar amb certs aspectes desenvolupats a l'assignatura. La redacció de la memòria i la interacció amb el professor al laboratori permet treballar la capacitat de comunicació oral i escrita.

Periòdicament, el professor impartirà una classe en anglès on s'exposarà un resum dels continguts introduïts prèviament en l'assignatura. En el cas que l'alumne tingui algun dubte la pregunta també s'haurà de formular en anglès.

### Objectius d'aprenentatge de l'assignatura

En acabar l'assignatura de Sistemes Digitals l'estudiant / estudianta:

- Coneixerà els fonaments dels dispositius programables (CPLD, FPGA) i podrà analitzar, dissenyar i posar en pràctica circuits digitals d'àmbit general i complexitat mitjana.

## 330220 - SD - Sistemes Digitals

- Podrà redactar memòries tècniques senzilles i presentar-les oralment.

### Hores totals de dedicació de l'estudiantat

Dedicació total: 150h	Hores grup gran:	45h	30.00%
	Hores grup mitjà:	0h	0.00%
	Hores grup petit:	15h	10.00%
	Hores activitats dirigides:	0h	0.00%
	Hores aprenentatge autònom:	90h	60.00%

## 330220 - SD - Sistemes Digitals

### Continguts

<p><b>1. INTRODUCCIÓ ALS DISPOSITIUS PROGRAMABLES</b></p>	<p>Dedicació: 11h</p> <p>Grup gran/Teoria: 3h Grup petit/Laboratori: 2h Aprentatge autònom: 6h</p>
<p>Descripció: En aquest tema es presenten les alternatives de disseny digital i l'àmbit on els dispositius programables (CPLD i FPGA) seran la millor opció de disseny. També es puntualitza sobre els diferents mètodes per descriure maquinari digital. El mètode vehicular de l'assignatura serà el VHDL.</p> <p>Activitats vinculades: Totes</p>	
<p><b>2. DISPOSITIUS PROGRAMABLES D'ALTA DENSITAT</b></p>	<p>Dedicació: 46h</p> <p>Grup gran/Teoria: 14h Grup petit/Laboratori: 4h Aprentatge autònom: 28h</p>
<p>Descripció: En aquest tema es pretén que l'estudiant pugui:</p> <ul style="list-style-type: none"> <li>- Conèixer i recordar els principals elements digitals programables i reconèixer les diferents arquitectures i característiques d'un dispositiu en llegir els seus fulls d'especificacions.</li> <li>- Saber buscar la millor opció de disseny (velocitat, consum,... ) buscant entre fabricants i components.</li> <li>- Conèixer les peculiaritats d'un muntatge real basat en una CPLD/FPGA i saber-les aplicar.</li> </ul> <p>Activitats vinculades: Totes</p>	

## 330220 - SD - Sistemes Digitals

### 3. DISSENY DIGITAL BASAT EN DISPOSITIUS PROGRAMABLES I VHDL

Dedicació: 93h

Grup gran/Teoria: 28h

Grup petit/Laboratori: 9h

Aprenentatge autònom: 56h

#### Descripció:

En aquest tema es pretén que l'estudiant pugui:

- Conèixer i recordar els principals blocs bàsics digitals i la seva definició en VHDL.
- Saber dissenyar sistemes digitals de complexitat moderada i saber crear els estímuls necessaris per verificar el seu bon funcionament.
- Saber estudiar protocols senzills de dispositius comercials i implementar el maquinari digital necessari per comunicar-se amb aquests dispositius.
- Conèixer els mòduls bàsics que componen un computador senzill i com es produeix una execució d'instrucció d'ensamblador.

#### Activitats vinculades:

Totes

## 330220 - SD - Sistemes Digitals

### Planificació d'activitats

<b>1. CLASSES MAGISTRALS I PARTICIPATIVES</b>	Dedicació: 40h Grup gran/Teoria: 40h
<p><b>Descripció:</b>                  A les classes es desenvoluparan els aspectes teòrics de l'assignatura. Aquestes permetran la interacció entre l'estudiantat i el professor.</p> <p><b>Material de suport:</b>                  Material docent publicat.                  Bibliografia recomanada.</p> <p><b>Descripció del lliurament esperat i vincles amb l'avaluació:</b>                  Ocasionalment es realitzarà alguna activitat avaluable, que contribuirà en una part proporcional a la variable EXE.</p> <p><b>Objectius específics:</b></p> <ul style="list-style-type: none"> <li>- Saber dissenyar circuits digitals descrits en VHDL i reconèixer els blocs basic digitals associats a aquesta descripció VHDL.</li> <li>- Saber dissenyar els estímuls que permetin verificar un circuit digital.</li> <li>- Entendre els fulls d'especificacions dels dispositius programables comercials.</li> <li>- Entendre un protocol real senzill i saber implementar-lo amb un maquinari digital.</li> <li>- Conèixer i saber que cal per posar un dispositiu programable (CPLD, FPGA) a la pràctica.</li> </ul>	
<b>2. CLASSES DE LABORATORI</b>	Dedicació: 25h Grup petit/Laboratori: 15h Aprentatge autònom: 10h
<p><b>Descripció:</b>                  Les pràctiques que es realitzaran al laboratori seran de dues hores quinzenals, en grups de dues persones. L'alumne disposarà de l'enunciat de la pràctica que prèviament s'haurà penjat a l'Atenea. Al laboratori es disposarà d'un ordinador equipat amb el programari necessari per a simular components digitals. Alhora es disposarà del maquinari necessari per poder experimentar sobre dispositius digitals comercials. El professor farà un seguiment particular de l'evolució de l'alumnat. A la finalització de cada pràctica cada grup enviarà un email al professor de pràctiques adossant un fitxer on s'explicarà el treball fet i els coneixements assolits.</p> <p><b>Material de suport:</b>                  Equips electrònics, placa de proves, dispositius digitals, ordinador amb programari adequat. Tarja desenvolupament basat en FPGA. Enunciat de la pràctica i informació de suport per a la realització del treball.</p> <p><b>Descripció del lliurament esperat i vincles amb l'avaluació:</b>                  Abans de la realització de la pràctica els estudiants lliuraran l'estudi previ individual corresponent a la pràctica a realitzar.                  Durant la sessió es valorarà la consecució dels objectius de cada sessió de laboratori tenint en compte el grau de comprensió del treball demostrat per cada estudiant.                  Al final de la sessió cada grup de treball elaborarà un informe final que reflecteixi els principals trets del treball realitzat.                  La qualificació obtinguda en aquestes activitats configura la variable LAB.</p> <p><b>Objectius específics:</b></p> <ul style="list-style-type: none"> <li>- Implementar al laboratori circuits digitals basats en FPGA i VHDL.</li> <li>- Validar el funcionament de circuits digitals tant simulat com físic.</li> <li>- Redactar i presentar documents reflectint el procés de disseny i de validació de circuits digitals.</li> </ul>	

## 330220 - SD - Sistemes Digitals

<b>3. TREBALL PERSONAL INDIVIDUAL / EN GRUP</b>	Dedicació: 50h Aprenentatge autònom: 50h
<p><b>Descripció:</b> L'estudiant ha de desenvolupar determinades activitats de forma personal per tal d'assolir els objectius de l'assignatura.</p> <p><b>Material de suport:</b> Material docent publicat. Bibliografia recomanada.</p> <p><b>Descripció del lliurament esperat i vincles amb l'avaluació:</b> El treball personal individual / en grup es traduirà, en part, en la realització d'exercicis durant el curs. La qualificació d'aquests exercicis contribuirà a la variable EXE.</p> <p><b>Objectius específics:</b> Tots els de l'assignatura.</p>	
<b>4. PROVES</b>	Dedicació: 35h Grup gran/Teoria: 5h Aprenentatge autònom: 30h
<p><b>Descripció:</b> Durant el curs es realitzarà una prova de control individual. Acabat el curs es realitzarà una prova final globalitzadora dels coneixements adquirits.</p> <p><b>Material de suport:</b> Enunciats de les proves.</p> <p><b>Descripció del lliurament esperat i vincles amb l'avaluació:</b> La qualificació de la prova de control configura la variable CON. La qualificació de la prova final configura la variable FIN.</p>	

### Sistema de qualificació

La qualificació final de l'assignatura s'obtindrà de la següent forma::

$$\text{Nota final} = 0.25 * \text{EXE} + 0.15 * \text{CON} + 0.25 * \text{LAB} + 0.35 * \text{FIN}$$

Nota 1. La qualificació en una part o en el conjunt de la prova final substituirà, si és superior i hi ha coincidència en els aspectes avaluats, els resultats obtinguts en altres actes d'avaluació realitzats al llarg del curs.

Nota 2. Quan els resultats dels actes d'avaluació corresponents a activitats individuals siguin substancialment inferiors als obtinguts en activitats de grup, es podrà exigir l'execució de forma individual d'activitats similars a les realitzades en grup. La qualificació de les darreres substituirà les originals.

## 330220 - SD - Sistemes Digitals

### Normes de realització de les activitats

En el cas d'activitats de laboratori per a les que s'hagi establert un estudi previ, serà obligatori el seu lliurament abans d'accedir al laboratori.

Aquelles activitats que siguin declarades explícitament com a individuals, siguin de natura presencial o no, es realitzaran sense cap col·laboració per part d'altres persones.

Les dates, formats i altres condicions de lliurament que s'estableixin seran d'obligat compliment.

### Bibliografia

#### Bàsica:

Ashenden, Peter J. Digital design: an embedded systems approach using VHDL. Burlington, MA: Morgan Kaufmann Publishers, 2007. ISBN 9780123695284.

Katz, Randy H.; Boriello, Gaetano. Contemporary logic design. 2nd ed. Upper Saddle River: Pearson Educational International, 2005. ISBN 0131278304.