

Guia docent

230667 - SCPD - Disseny Físic de Sistemes Integrats

Última modificació: 29/04/2020

Unitat responsable: Escola Tècnica Superior d'Enginyeria de Telecomunicació de Barcelona
Unitat que imparteix: 710 - EEL - Departament d'Enginyeria Electrònica.

Titulació: MÀSTER UNIVERSITARI EN ENGINYERIA ELECTRÒNICA (Pla 2013). (Assignatura optativa).
MÀSTER UNIVERSITARI EN TECNOLOGIES AVANÇADES DE TELECOMUNICACIÓ (Pla 2019). (Assignatura optativa).

Curs: 2020 **Crèdits ECTS:** 5.0 **Idiomes:** Anglès

PROFESSORAT

Professorat responsable: Moll Echeto, Francesc De Borja
Rubio Sola, Jose Antonio

Altres: Moll Echeto, Francesc De Borja
Rubio Sola, Jose Antonio

CAPACITATS PRÈVIES

Basic knowledge of CMOS technology and design.
Basic knowledge of digital design, combinational and sequential.

REQUISITS

Graduate studies in Electronic Engineering or equivalent

COMPETÈNCIES DE LA TITULACIÓ A LES QUALS CONTRIBUEIX L'ASSIGNATURA

Específiques:

CEE18. Capacitat de dissenyar circuits integrats digitals i analògics CMOS de complexitat mitja.
CEE19. Capacitat d'aplicar tècniques de baix consum per a circuits integrats.

Transversals:

1. TREBALL EN EQUIP: Ser capaç de treballar com a membre d'un equip interdisciplinari, ja sigui com un membre més o duent a terme tasques de direcció, amb la finalitat de contribuir a desenvolupar projectes amb pragmatisme i sentit de la responsabilitat, tot assumint compromisos considerant els recursos disponibles.
2. ÚS SOLVENT DELS RECURSOS D'INFORMACIÓ: Gestionar l'adquisició, l'estructuració, l'anàlisi i la visualització de dades i informació de l'àmbit d'especialitat, i valorar de forma crítica els resultats d'aquesta gestió.
3. TERCERA LLENGUA: Conèixer una tercera llengua, preferentment l'anglès, amb un nivell adequat oral i escrit i en consonància amb les necessitats que tindran els titulats i titulades.

METODOLOGIES DOCENTS

- Lectures
- Laboratory activities
- Individual work
- Short answer test and exercises (Final Exam)

OBJECTIUS D'APRENTATGE DE L'ASSIGNATURA

Learning objectives of the subject:

The aim of this course is to train students in methods of design of CMOS integrated circuits from a high level description to a layout in an efficient way using computers so that the resulting layout satisfies topological, geometric, timing and power-consumption constraints of the design.

Learning results of the subject:

- Ability to understand and apply timing and power constraints to a complex integrated circuit.
- Ability to perform the physical implementation of a complex integrated circuit.
- Ability to apply low power design techniques to integrated circuit design.
- Ability to develop techniques for the design, analysis and evaluation of electronic systems in applications such as automation, aerospace, energy distribution and generation, consumer electronics, biomedicine, etc.
- Ability to analyze, design and evaluate microelectronic integrated circuits.
- Ability to implement advanced design techniques of microelectronic integrated circuits.
- Ability to use state of the art computer aided design (CAD) tools for the design of integrated circuits.

HORES TOTS DE DEDICACIÓ DE L'ESTUDIANTAT

Tipus	Hores	Percentatge
Hores grup petit	26,0	20.80
Hores grup gran	13,0	10.40
Hores aprenentatge autònom	86,0	68.80

Dedicació total: 125 h

CONTINGUTS

(CAT) 1. Nanometer chip design overview

Dedicació: 25h

Grup gran/Teoria: 3h

Grup petit/Laboratori: 6h

Aprenentatge autònom: 16h

(CAT) 2. RTL synthesis for low power

Dedicació: 25h

Grup gran/Teoria: 3h

Grup petit/Laboratori: 4h

Aprenentatge autònom: 18h

(CAT) 3. Design planning/floorplanning

Dedicació: 24h

Grup gran/Teoria: 2h

Grup petit/Laboratori: 4h

Aprenentatge autònom: 18h



(CAT) 4. Physical design

Dedicació: 27h
Grup gran/Teoria: 3h
Grup petit/Laboratori: 6h
Aprentatge autònom: 18h

(CAT) 5. Sign-off

Dedicació: 6h
Grup gran/Teoria: 2h
Aprentatge autònom: 4h

(CAT) 6. Design project

Dedicació: 18h
Grup petit/Laboratori: 6h
Aprentatge autònom: 12h

SISTEMA DE QUALIFICACIÓ

Continuous evaluation (CE):
Partial exams: 25%
Individual assessments: 25%
Laboratory experiences: 50%

Final score: maximum (CE, Final exam)

NORMES PER A LA REALITZACIÓ DE LES PROVES.

Final exam: individual
Individual works: Individual
Research presentation: groups of two students
Laboratory: groups of two students

BIBLIOGRAFIA

Complementària:

- Wang, L.T.; Chang, Y.W.; Ting, K. (eds.). Electronic design automation: synthesis, verification, and test. Burlington, MA: Morgan Kaufmann Publishers/Elsevier, 2009. ISBN 9780123743640.